

三相ブラシレスモータプリドライバ

BD63003MUV

概要

BD63003MUV は、ホールセンサ信号から駆動信号を生成し、入力された制御信号により PWM 駆動する三相ブラシレスモータプリドライバです。昇圧回路の内蔵により、外付け出力パワートランジスタに Nch-Nch MOS トランジスタを使用することができます。また、電源は 12 V 系・24 V 系どちらにも対応しており、各種制御・保護機能の内蔵によって、様々なアプリケーションへの対応が可能となっています。小型パッケージの採用により、小径モータへの搭載も可能です。

重要特性

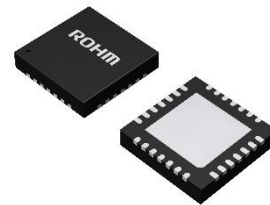
■ 入力電源電圧定格:	40 V
■ 下側ゲート駆動電圧:	10 V (Typ)
■ 上側ゲート駆動電圧:	10 V (Typ)
■ 動作温度範囲:	-40 °C~+85 °C
■ 電流制限検出電圧:	0.2 V ±10 %
■ UVLO ロックアウト電圧:	6.0 V (Typ)
■ OVLO ロックアウト電圧:	28.5 V (Typ)

パッケージ

VQFN032V5050

W (Typ) x D (Typ) x H (Max)

5.0 mm x 5.0 mm x 1.0 mm



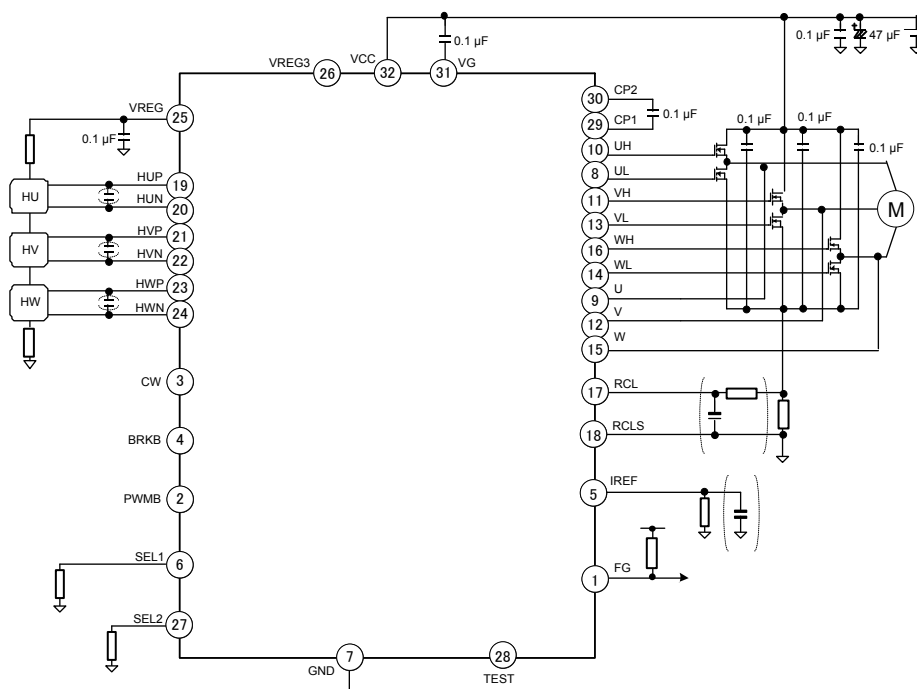
特長

- 120° 通電ロジック回路内蔵
- Nch-Nch MOS トランジスタ駆動可能
- 定電流制御方式を採用
- 3.3 V, 5 V のコントローラ入力に対応
- PWM 制御方式 (下側アームスイッチング)
- 回転方向切り換え可能
- ショートブレーキ可能
- FG 出力 (1FG/3FG 切り換え可能)
- 電流制限(CL), 過熱保護(TSD), 不足電圧保護(UVLO), 過電圧保護(OVLO, 拘束保護回路内蔵(MLP))

用途

- OA 機器
- その他一般民生機器

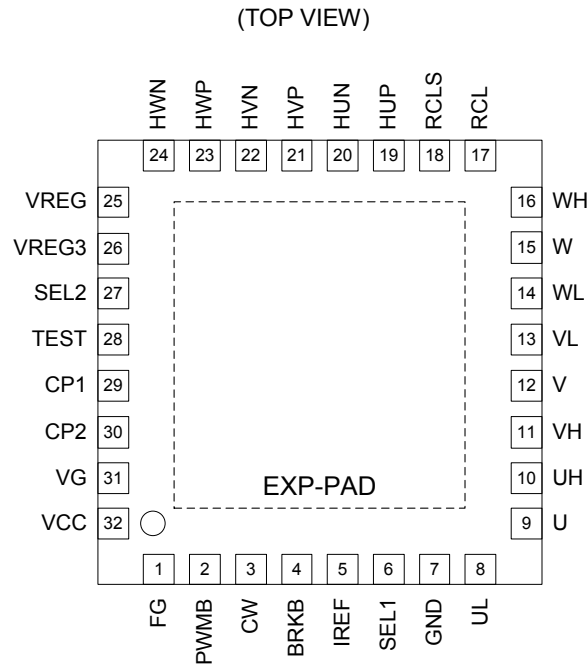
基本アプリケーション回路



目次

概要	1
特長	1
用途	1
重要特性	1
パッケージ	1
基本アプリケーション回路	1
端子配置図	3
端子説明	3
ブロック図	4
各ブロック動作説明	5
絶対最大定格	11
熱抵抗	11
推奨動作条件	11
電気的特性	12
タイミングチャート	14
入出力等価回路図	15
使用上の注意	17
発注形名情報	19
標印図	19
外形寸法図と包装・フォーミング仕様	20
改訂履歴	21

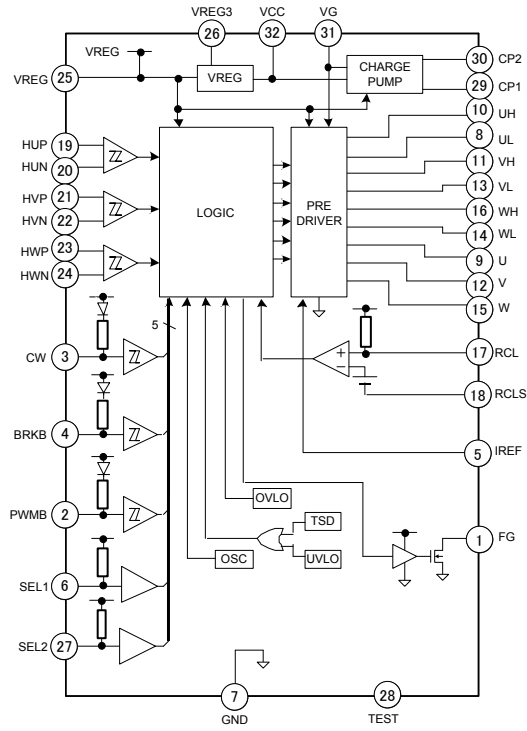
端子配置図



端子説明

端子番号	端子名	機能	端子番号	端子名	機能
1	FG	1FG / 3FG 出力	17	RCL	過電流検出電圧入力
2	PWMB	PWM 入力(負論理)	18	RCLS	RCL センス入力
3	CW	回転方向切り換え(H: CW, L: CCW)	19	HUP	U 相ホール入力+
4	BRKB	ブレーキ入力(負論理)	20	HUN	U 相ホール入カー
5	IREF	出力駆動電流設定端子	21	HVP	V 相ホール入力+
6	SEL1	機能設定入力 1	22	HVN	V 相ホール入カー
7	GND	GND	23	HWP	W 相ホール入力+
8	UL	U 相下側出力	24	HWN	W 相ホール入カー
9	U	U 相出力フィードバック	25	VREG	VREG 出力
10	UH	U 相上側出力	26	VREG3	VREG3 出力
11	VH	V 相上側出力	27	SEL2	機能設定入力 2
12	V	V 相出力フィードバック	28	TEST	TEST 端子(GND)
13	VL	V 相下側出力	29	CP1	チャージポンプ設定 1
14	WL	W 相下側出力	30	CP2	チャージポンプ設定 2
15	W	W 相出力フィードバック	31	VG	チャージポンプ出力
16	WH	W 相上側出力	32	VCC	電源
-	EXP-PAD	EXP-PAD は、GND に接続してください			

ブロック図



各ブロック動作説明

○通電ロジック (120°通電)

真理値表

HU	HV	HW	CW (CW = H or OPEN)						FG	
			UH	UL	VH	VL	WH	WL	1FG	3FG
H	L	H	PWM	PWM ^(Note 1)	H	L	L	L	L	Hi-z
H	L	L	$\overline{\text{PWM}}$	PWM ^(Note 1)	L	L	H	L	L	L
H	H	L	L	L	$\overline{\text{PWM}}$	PWM ^(Note 1)	H	L	L	Hi-z
L	H	L	H	L	PWM	PWM ^(Note 1)	L	L	Hi-z	L
L	H	H	H	L	L	L	$\overline{\text{PWM}}$	PWM ^(Note 1)	Hi-z	Hi-z
L	L	H	L	L	H	L	$\overline{\text{PWM}}$	PWM ^(Note 1)	Hi-z	L
H	H	H	L	L	L	L	L	L	L	L
L	L	L	L	L	L	L	L	L	Hi-z	Hi-z

HU	HV	HW	CCW (CW = L)						FG	
			UH	UL	VH	VL	WH	WL	1FG	3FG
H	L	H	H	L	PWM	PWM ^(Note 1)	L	L	L	Hi-z
H	L	L	H	L	L	L	$\overline{\text{PWM}}$	PWM ^(Note 1)	L	L
H	H	L	L	L	H	L	$\overline{\text{PWM}}$	PWM ^(Note 1)	L	Hi-z
L	H	L	$\overline{\text{PWM}}$	PWM ^(Note 1)	H	L	L	L	Hi-z	L
L	H	H	PWM	PWM ^(Note 1)	L	L	H	L	Hi-z	Hi-z
L	L	H	L	L	PWM	PWM ^(Note 1)	H	L	Hi-z	L
H	H	H	L	L	L	L	L	L	L	L
L	L	L	L	L	L	L	L	L	Hi-z	Hi-z

(Note 1) PWMB = L 時 PWM = "H"、PWMB = H 時 PWM = "L"となります。

1. レギュレータ出力端子 (VREG)

VREG 端子は 5 V (Typ)の基準電圧出力です。VREG 端子には 0.01 μF ~ 1 μF 程度のコンデンサを接続することを推奨します。VREG 端子をホール素子のバイアス用電源などに使用される際は、VREG 端子からの流出電流が絶対最大定格を超えることのないようにご注意ください。

2. レギュレータ出力端子 (VREG3)

VREG3 端子は 3.3 V (Typ)の基準電圧出力です。Figure 1 のように VREG3 端子をホール素子のバイアス用電圧として使用することが可能です。VREG3 端子を使用される場合は、流出電流が絶対最大定格を超えることのないようにご注意ください。

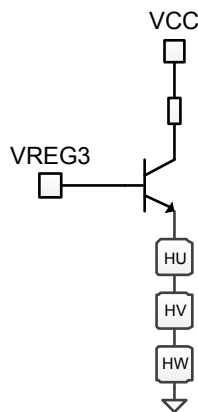


Figure 1. VREG3 回路使用例

各ブロック動作説明 — 続き

3. PWM 入力端子 (PWMB)

PWMB 端子に入力する PWM 信号の Duty で速度制御することが可能です(負論理)。下側スイッチングで同期整流 PWM 動作になります。PWMB = "L"時はホールの入力論理に応じた下側外付け FET が"ON"となり、PWMB = "H"もしくは OPEN 時は下側外付け FET が"OFF"となります。また、PWMB = "H"もしくは OPEN の状態を 104 μ s (Typ) 検出すると同期整流を OFF し、以降の PWMB の立ち下がりがエッジで同期整流を ON します。また、起動時は最初に 2 μ s (Typ)以上 PWMB = "L"となるまで、外付け FET が全相"OFF"の"Hi-z"状態(stand-by)となります[figure 2]。この stand-by 状態は、VREG, VG などの内部回路、OVLO などの保護機能は動作します。なお、PWMB 端子は 100 k Ω \pm 30 k Ω の抵抗で内部 3.3 V (Typ)にプルアップ及び 1000 k Ω \pm 300 k Ω で GND にプルダウンされています。

PWMB	PWM 相 下側外付け FET
H or OPEN	OFF
L	ON

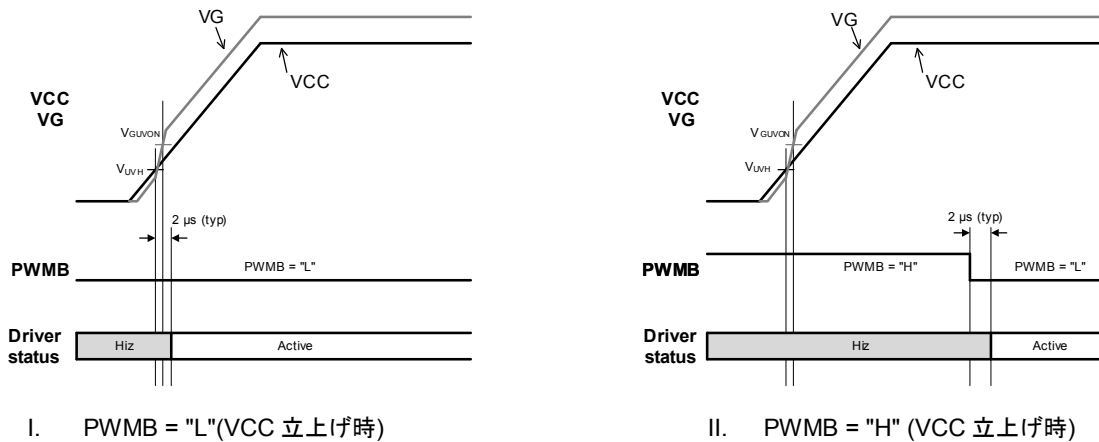


Figure 2. PWMB status

4. ブレーキ入力端子 (BRKB)

BRKB 端子にてモータの回転を急速に停止させることが可能です(負論理)。BRKB = "L"で上側外付け FET が"OFF", 下側外付け FET が"ON"のショートブレーキ動作となり、BRKB = "H"もしくは OPEN でショートブレーキ動作を解除します。なお、BRKB 端子は 100 k Ω \pm 30 k Ω の抵抗で内部 3.3 V (Typ)にプルアップ及び 1000 k Ω \pm 300 k Ω で GND にプルダウンされています。

BRKB	Operation
H or OPEN	Normal
L	Short brake

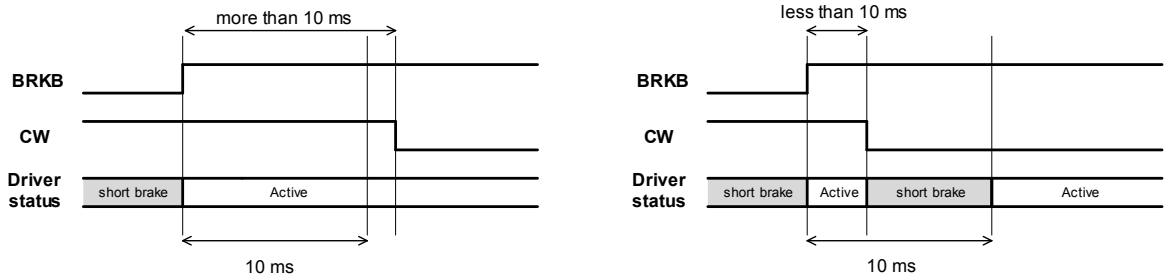
各ブロック動作説明 — 続き

5. 回転方向切り換え端子 (CW)

回転方向の切り換えは CW 端子で行います。CW = "H"もしくは OPEN で CW 方向、CW = "L"で CCW 方向となります。モータ回転中の回転方向切り換えは推奨しませんが、回転中に回転方向を切り換えた場合、SEL1 の条件によって以下のような動作となります。

① SBRK = "Enable" (SEL1 = "H" or "M1")

ホール周波数が約 40 Hz (Typ)以下になるまでショートブレーキ動作を行った後、回転方向が切り換わります。この条件の場合、BRKB 入力によるブレーキ解除後 10 ms 間 CW の論理は変更しないでください(Figure 3)。



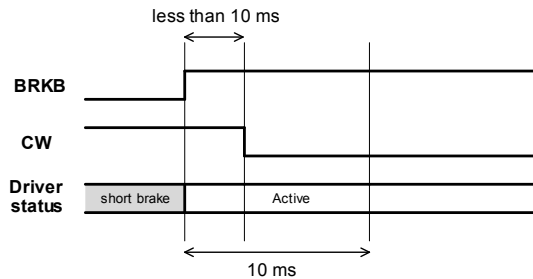
I. OK (SBRK = "Enable")

II. NG (SBRK = "Enable")

Figure 3. BRKB, CW 制御 タイミング制約 1

② SBRK = "Disable" (SEL1 = "M2" or "L")

①のようなショートブレーキ動作を行わず、回転方向が切り換わります。この場合、回転切り換わり時に外付け FET に大電流が流れる可能性がありますので注意してください。また、この条件の場合、①のような BRKB と CW のタイミング制約はありません(Figure 4)。



III. OK (SBRK = "Disable")

Figure 4. BRKB, CW 制御タイミング制約 2

なお、CW 端子は 100 kΩ ±30 kΩ の抵抗で内部 3.3 V (Typ)にプルアップ及び 1000 kΩ ± 300 kΩ で GND にプルダウンされています。

CW	Direction
H or OPEN	CW
L	CCW

各ブロック動作説明— 続き

6. 設定端子 1 (SEL1)

1FG / 3FG の選択、及び CW 端子による回転方向切換え時のショートブレーキ(SBRK)有無の選択を行います。SEL1 端子は 4 入力端子となっており、それぞれ OPEN, 220 kΩ [±5 %]で GND, 47 kΩ [±5 %]で GND, GND に接続することで設定を行います。なお、SEL1 端子は 100 kΩ ± 30 kΩ の抵抗で VREG にプルアップされています。

SEL1	FG	SBRK(CW/CCW)
H (OPEN)	3FG	Enable
M1 (220 kΩ [±5 %] to GND)	1FG	Enable
M2 (47 kΩ [±5 %] to GND)	1FG	Disable
L (tied to GND)	3FG	Disable

7. 設定端子 2 (SEL2)

MLP の有無及び OVLO の有無の選択を行います。なお、SEL2 端子は 100 kΩ ±30 kΩ の抵抗で VREG にプルアップされています。

SEL2	MLP	OVLO
H (OPEN)	2.2 s (Typ)	28.5 V (Typ)
M1 (220 kΩ [±5 %] to GND)	Disable	28.5 V (Typ)
M2 (47 kΩ [±5 %] to GND)	2.2 s (Typ)	Disable
L (tied to GND)	Disable	Disable

8. FG 出力 (FG)

ホール信号から合成された FG 信号が FG 端子から出力されます。SEL1 で 1FG / 3FG を切り替えることが可能です。なお、FG 端子はオープンドレイン出力のため、外部にて 10 kΩ ~ 100 kΩ 程度の抵抗でプルアップしてご使用ください。

9. ホール入力 (HUP, HUN, HVP, HVN, HWP, HWN)

ホール入力アンプにはノイズによる誤動作を防止するため、ヒステリシス(±15 mV (Typ))を設けています。したがって、ホール入力電圧振幅は、最小入力電圧($V_{HALLMIN}$)以上になるよう、ホール素子へのバイアス電流を設定してください。さらに、コンパレータの出力には 2 μs (Typ)のデジタルフィルタが設けてあります。ただし、ノイズ除去ができない場合は、ホールアンプの差動入力端子間に、100 pF~0.01 μF 程度のセラミック・コンデンサを接続してください。また、ホール入力アンプには同相入力電圧範囲(V_{HALLCM} , 0 V~ $V_{REG}-1.7$ V (Typ))が設けられていますので、ホール素子にバイアスする場合は、この範囲内になるように設定してください。ホール入力がすべて"H"もしくは"L"になった場合、ホール入力異常検出回路により、外付け FET を全相"OFF"にします。

10. 昇圧回路

上側 Nch MOS トランジスタの駆動用に昇圧回路を内蔵しています。CP1 - CP2 間、及び VG - VCC 間にコンデンサを接続することにより、VG 端子に昇圧電圧(V_{CC} 電圧+10 V (Typ))を発生させることができます。接続するコンデンサは 0.1 μF 以上を推奨します。CP1, CP2 は発振するため、できるかぎり IC の近くコンデンサを配置し、必要に応じてシールド用に GND ラインを追加してください。また、VG 電圧は VCC 電圧を基準に昇圧をしているため、VCC 電圧が不安定な場合、持上り等の誤動作を引き起こす可能性があります。大電流使用時や逆起電力の大きいモータを使用される際には、必要に応じて、VCC と GND 間にコンデンサを追加し、VCC 電圧が安定するよう調整してください。昇圧不足保護回路を内蔵しており、VG 電圧が $V_{GUVON}(V_{CC}+7$ V (Typ))以下になると、外付け FET を全相"OFF"となります。

11. 電流制限回路 (CL 回路)

RCL 端子と RCLS 端子間に電流検出用の低抵抗を接続することにより、出力の電流制限(Current Limit : CL)回路を実現することができます。RCL 電圧が検出電圧(0.2 V (Typ))以上になったことを検出した場合、外付け下側 FET を全相"OFF"にし、一定時間(32 μs (Typ))後に自己復帰します。この動作は PWMB 端子に入力される PWM 信号とは同期しません。また、ノイズによる誤動作を防ぐため、ノイズマスク時間(1 μs~2 μs (Typ))を設けており、ノイズマスク時間の間は電流検出を無効にします。RCLS は RCL のセンスラインとなっております。RCLS が OPEN 状態となると、電流検出機能が正常に機能しない可能性があります。RCLS 端子は必ず検出抵抗直近の GND と接続してください。

各ブロック動作説明— 続き

12. 過熱保護回路 (TSD 回路)

ドライバ IC のチップ温度が上昇し、設定温度(165 °C (Typ))を超えると過熱保護(Thermal Shutdown : TSD)回路が動作します。このとき、外付け FET は全相"OFF"となります。また、TSD 回路にはヒステリシス(25 °C (Typ))を設けており、チップ温度が下がると通常動作に戻ります。なお、TSD 回路はあくまでも熱的暴走からドライバ IC を遮断することを目的とした回路であり、この回路が動作する時点で動作保証温度を超えています。したがって、この回路を動作させて以降の連続使用、及び動作を前提とした使用にならないよう、十分マージンを持った熱設計をしてください。

13. 不足電圧保護回路 (UVLO 回路)

ドライバ IC が動作できる最低電源電圧を確保して IC の誤動作を防ぐため、不足電圧保護(Under Voltage Lockout : UVLO)回路を内蔵しています。VCC 電圧が V_{UVL} (6 V (Typ))まで下がると、外付け FET は全相"OFF"となります。UVLO 回路にはヒステリシス(1 V (Typ))を設けており、VCC 電圧が V_{UVH} (7 V (Typ))以上になると、通常動作に入ります。

14. 過電圧保護回路 (OVLO 回路)

モータ減速時の VCC 電圧の上昇を抑えるため、過電圧保護(Over Voltage Lockout : OVLO)回路を内蔵しています。VCC 電圧が 28.5 V (Typ)以上でショートブレーキ動作となります。誤動作防止のため、マスク時間(2 μ s ~ 3 μ s (Typ))を設けております。このショートブレーキ動作は VCC 電圧が 27.5 V (Typ)以下になると、一定時間後(4 ms)に解除され、通常動作に戻ります。SEL2 端子の設定が"Disable"時は OVLO の機能がマスクされます。

15. モータ拘束保護回路 (MLP 回路)

モータ拘束保護(Motor Lock Protection : MLP)回路を内蔵しており、SEL2 端子にて MLP 回路の ON/OFF を設定することが可能です。SEL2 の MLP 設定が"Enable"時、ホール信号の論理が 2.2 s (Typ)以上変化しない場合、外付け FET を全相"OFF"にラッチします。BRKB/CW の論理を切り換えることでラッチを解除できます。PWMB = "H"もしくはオープンの状態を約 15 ms (Typ)検出した場合も、以降の PWMB の立ち下がりがエッジでラッチが解除されます。ただし、SEL2 端子の MLP 設定が"Disable"時、及びショートブレーキ動作時(回転方向切り換え時含む)や TSD 回路動作時には MLP 回路は動作しません。

16. プリドライバ出力

内部ロジックにて生成された駆動信号により、外付け FET への駆動信号を出力します。上側ゲート駆動電圧は VG 電圧($V_{CC}+10$ V (Typ))、下側ゲート駆動電圧は内部 REG 電圧(10 V (Typ))となります。また、同期整流 PWM 動作時における上下 FET の同時 ON を防ぐため、上下ゲート駆動信号間にはデッドタイム(0.2 μ s (Typ))を設けております。出力フィードバック端子(U, V, W)は、モータによる逆起電力の影響により GND 電位以下に振れ、誤動作や破壊に至る可能性があります。負電位が-2 V (min)を超える場合は、誤動作や破壊防止のためショットキーダイオードを対 GND に挿入するなどの対策を施してください。

17. プリドライバ出力ピーク電流設定端子 (IREF)

IREF 端子と GND 間に抵抗を接続することで、プリドライバ出力の電流を設定します。IREF 端子が GND とショート、または OPEN になると、誤動作を起こす可能性がありますのでご注意ください。抵抗値の設定範囲は 27 k Ω [± 5 %] ~ 150 k Ω [± 5 %] となります。出力電流のおおよその値は下記の表を参考にしてください。

抵抗値 [k Ω]	出力ソース電流 [mA]	出力シンク電流 [mA]
150	16	27
120	18	33
100	22	40
82	26	48
68	31	58
56	36	68
47	42	84
39	48	96
33	55	113
27	63	136

Figure 5. プリドライバ出力電流参考値

各ブロック動作説明— 続き

18. 制御信号シーケンス

CW, PWMB, BRKB 端子への制御信号は VCC を投入してから入力することを推奨します。ただし、起動時に MLP = "Enable" と設定している場合、設定時間内にモータの回転が検出されない (FG 信号のエッジが入力されない) と、MLP 回路が動作してモータを起動できませんのでご注意ください。なお、制御信号と IC 内部信号には優先順位を設けておりますので、下表をご参照ください。

制御信号優先順位

Priority	Input / Internal signals
1st	UVLO
2nd	BRKB↑↓(Note 2), CW↑↓(Note 2), PWMB ↓ (Note 2)
3rd	TSD, MLP, HALLERR
4th	OVLO
5th	VG_UVLO, stand-by
6th	BRKB
7th	CL
8th	PWMB, CW,

(Note 2) ↑↓ は信号の立ち上がり/立ち下がりエッジを意味します。
信号名は状態遷移図を参照ください。

絶対最大定格 (Ta = 25 °C)

項目	記号	定格	単位
電源電圧	V _{CC}	-0.3 ~ +40.0	V
VG 電圧	V _G	-0.3 ~ +52.0	V
外付け FET 出力フィードバック電圧	V _(U, V, W)	40	V
FG 電圧	V _{FG}	-0.3 ~ +7.0	V
RCL 電圧	V _{RCL}	-0.3 ~ +5.5	V
RCLS 電圧	V _{RCLS}	-0.3 ~ +0.3	V
制御入力・ホール入力端子電圧	V _{I/O}	-0.3 ~ +7.0	V
FG 出力電流	I _{FG}	5	mA
VREG 出力電流	I _{VREG}	-30	mA
VREG3 出力電流	I _{VREG3}	-5	mA
最高接合部温度	T _{jmax}	150	°C
保存温度範囲	T _{stg}	-55 ~ +150	°C

注意 1: 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施していただくようご検討をお願いします。

注意 2: 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を超えないよう熱抵抗にご配慮ください。

熱抵抗 (Note 3)

項目	記号	熱抵抗(Typ)		単位
		1層基板 ^(Note 5)	4層基板 ^(Note 6)	
VQFN032V5050				
ジャンクション—周囲温度間熱抵抗	θ_{JA}	138.9	39.1	°C/W
ジャンクション—パッケージ上面中心間熱特性パラメータ ^(Note 4)	Ψ_{JT}	11	5	°C/W

(Note 3) JESD51-2A(Still-Air)に準拠。

(Note 4) ジャンクションからパッケージ (モールド部分) 上面中心までの熱特性パラメータ。

(Note 5) JESD51-3 に準拠した基板を使用。

(Note 6) JESD51-5,7 に準拠した基板を使用。

測定基板	基板材	基板寸法
1層	FR-4	114.3 mm x 76.2 mm x 1.57 mm

1層目 (表面) 銅箔	
銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 μ m

測定基板	基板材	基板寸法	サーマルビア ^(Note 7)	
			ピッチ	直径
4層	FR-4	114.3 mm x 76.2 mm x 1.6 mm	1.20 mm	Φ 0.30 mm

1層目 (表面) 銅箔		2層目、3層目 (内層) 銅箔		4層目 (裏面) 銅箔	
銅箔パターン	銅箔厚	銅箔パターン	銅箔厚	銅箔パターン	銅箔厚
実装ランドパターン + 電極引出し用配線	70 μ m	74.2 mm \square (正方形)	35 μ m	74.2 mm \square (正方形)	70 μ m

(Note 7) 貫通ビア。全層の銅箔と接続する。配置はランドパターンに従う。

推奨動作条件

項目	記号	最小	標準	最大	単位
動作温度	Topr	-40	+25	+85	°C
電源電圧	V _{CC}	10.8	24.0	26.4	V

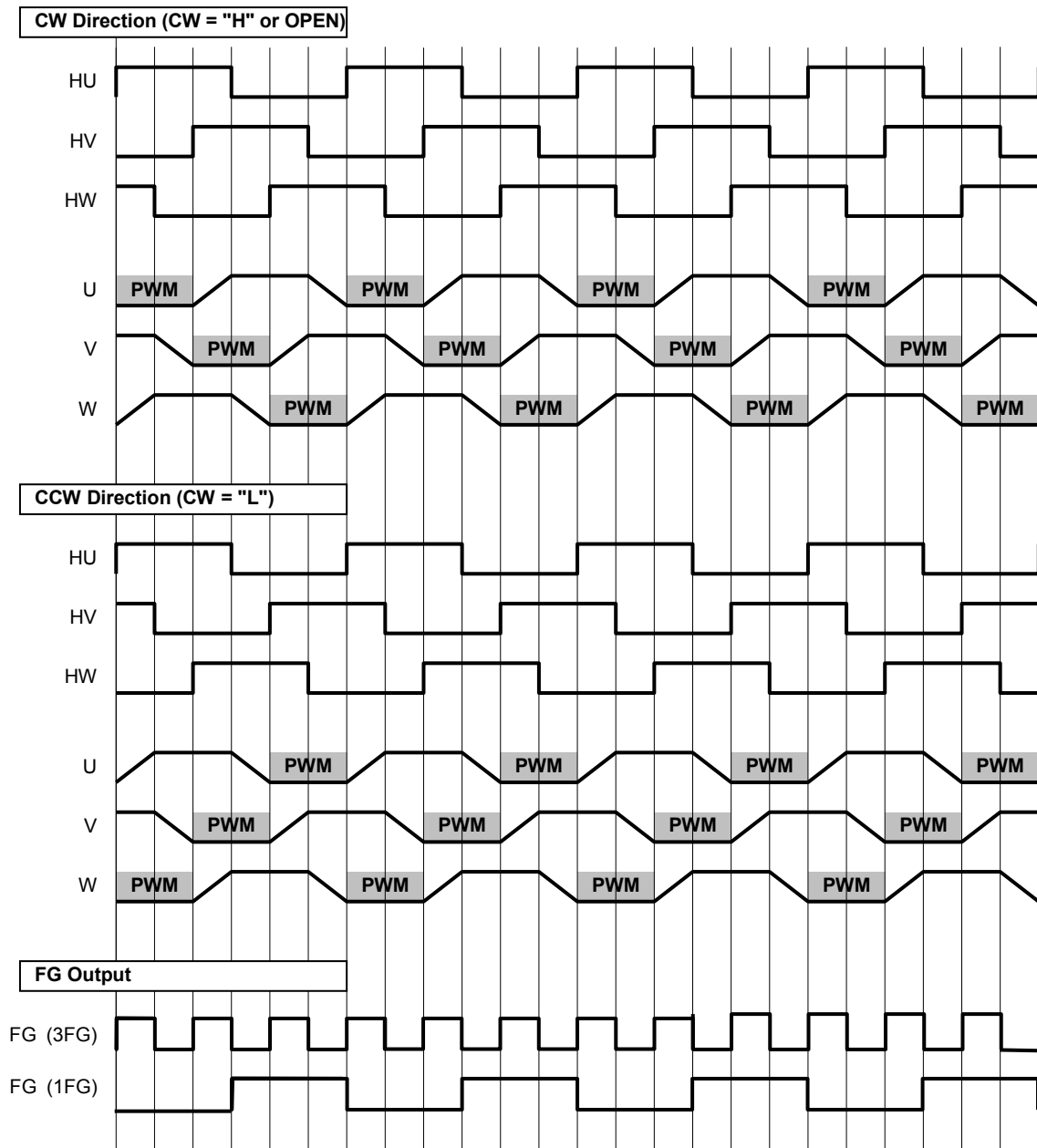
電氣的特性 (特に指定のない限り $V_{CC} = 24\text{ V}$, $T_a = 25\text{ }^\circ\text{C}$)

項目	記号	最小	標準	最大	単位	条件
[全体]						
回路電流	I_{CC}	-	4.5	9	mA	
VREG 電圧	V_{REG}	4.5	5.0	5.5	V	$I_{VREG} = -10\text{ mA}$
VREG3 電圧	V_{REG3}	3.0	3.3	3.6	V	$I_{VREG3} = -1\text{ mA}$
[昇圧回路]						
VG 電圧	V_{G1}	$V_{CC}+7$	$V_{CC}+10$	$V_{CC}+11.5$	V	$I_{VG} = 15\text{ mA}$
VG UVLO 電圧	V_{GUVON}	$V_{CC}+6$	$V_{CC}+7$	$V_{CC}+8$	V	
[ドライブ出力]						
上側 V_{GS} ゲート駆動電圧	V_{GSH1}	7	10	11.5	V	
下側 V_{GS} ゲート駆動電圧	V_{GSL1}	7	10	12.5	V	
ソース電流設定可能範囲	I_{RNG1}	-	-	70	mA	$R_{IREF} = 27\text{ k}\Omega$
シンク電流設定可能範囲	I_{RNG2}	-	-	140	mA	$R_{IREF} = 27\text{ k}\Omega$
出力ピークソース電流	I_{OH}	-	18	-	mA	$R_{IREF} = 120\text{ k}\Omega$
出力ピークシンク電流	I_{OL}	-	33	-	mA	$R_{IREF} = 120\text{ k}\Omega$
IREF 端子電圧	V_{IREF}	-	1.2	-	V	
[ホール入力]						
入力バイアス電流	I_{HALL}	-2.0	-0.1	+2.0	μA	$V_{IN} = 0\text{ V}$
同相入力電圧範囲	V_{HALLCM}	0	-	$V_{REG}-1.7$	V	
最小入力電圧	$V_{HALLMIN}$	50	-	-	mVp-p	
HYS レベル+	$V_{HALLHY+}$	5	15	25	mV	
HYS レベル-	$V_{HALLHY-}$	-25	-15	-5	mV	
[制御入力 : PWMB, CW, BRKB]						
入力電流	I_{IN}	-46	-33	-20	μA	$V_{IN} = 0\text{ V}$
入力 H 電圧	V_{INH}	2.0	-	5.5	V	
入力 L 電圧	V_{INL}	0	-	0.8	V	
最小入力パルス幅	t_{PLSMIN}	1	-	-	ms	CW, BRKB
入力周波数範囲	f_{PWM}	10	-	50	kHz	PWMB
[制御入力 : SEL1, SEL2]						
入力電流	I_{SEL}	-80	-50	-30	μA	$V_{SEL} = 0\text{ V}$
[FG 出力]						
出力 L 電圧	V_{FGOL}	0	0.1	0.3	V	$I_{FG} = 2\text{ mA}$
リーク電流	I_{FGLEAK}	-	0	1	μA	$V_{FG} = 5\text{ V}$
[電流制限]						
検出電圧	V_{CL}	0.18	0.20	0.22	V	
入力バイアス電流	I_{RCL}	-32	-20	-12	μA	$V_{RCL} = 0\text{ V}$
入力電圧範囲	V_{RCL}	-0.3	-	+1.0	V	

電气的特性 — 続き (特に指定のない限り $V_{CC} = 24\text{ V}$, $T_a = 25\text{ }^\circ\text{C}$)

項目	記号	最小	標準	最大	単位	条件
[UVLO]						
リリース電圧	V_{UVH}	6.5	7.0	7.5	V	
ロックアウト電圧	V_{UVL}	5.5	6.0	6.5	V	
[OVLO]						
リリース電圧	V_{OVL}	26.5	27.5	28.5	V	OVLO 有効時
ロックアウト電圧	V_{OVH}	27.5	28.5	29.5	V	OVLO 有効時
[MLP]						
モータ拘束保護検出時間	t_{MLP}	1.54	2.20	2.86	s	MLP 有効時

タイミングチャート



入出力等価回路図

端子番号	端子名	等価回路図	端子番号	端子名	等価回路図
1	FG		2 3 4	PWMB CW BRKB	
5	IREF		6 27	SEL1 SEL2	
8 13 14	UL VL WL		9 10 11 12 15 16	U UH VH V W WH	
17 18	RCL RCLS		19 20 21 22 23 24	HUP HUN HVP HVN HWP HWN	

入出力等価回路図 — 続き

<p>25</p>	<p>VREG</p>		<p>26</p>	<p>VREG3</p>	
<p>28</p>	<p>TEST</p>		<p>29</p>	<p>CP1</p>	
<p>30 31 32</p>	<p>CP2 VG VCC</p>				

使用上の注意**1. 電源の逆接続について**

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

2. 電源ラインについて

基板パターンの設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。グラウンドラインについても、同様のパターン設計を考慮してください。また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 推奨動作条件について

推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。

6. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

7. セット基板での検査について

セット基板での検査時に、インピーダンスの低い端子にコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

使用上の注意 — 続き

8. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

9. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

10. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND > (\text{端子 A})$ の時、トランジスタ(NPN)では $GND > (\text{端子 B})$ の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、 $GND > (\text{端子 B})$ の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND (P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

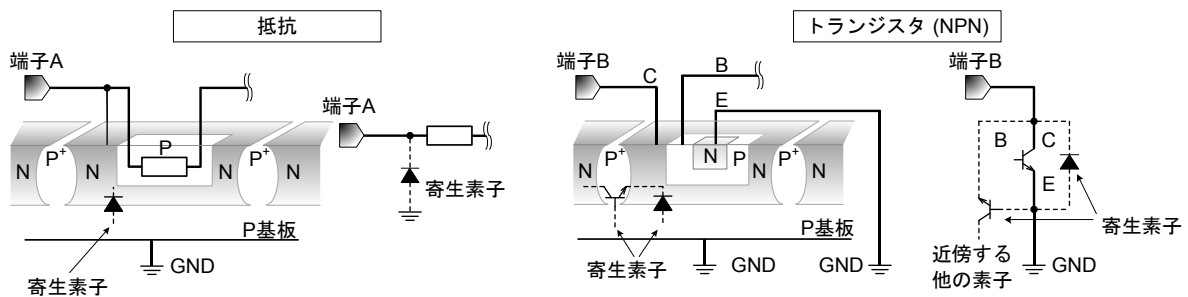


Figure 6. モノリシック IC 構造例

11. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ、定数を決定してください。

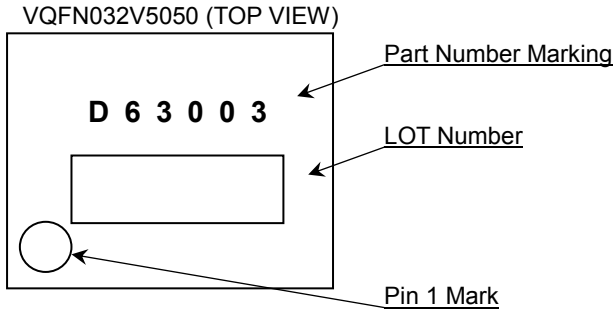
12. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。最高接合部温度内でご使用いただきますが、万が一最高接合部温度を超えた状態が継続すると、温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計などは、絶対に避けてください。

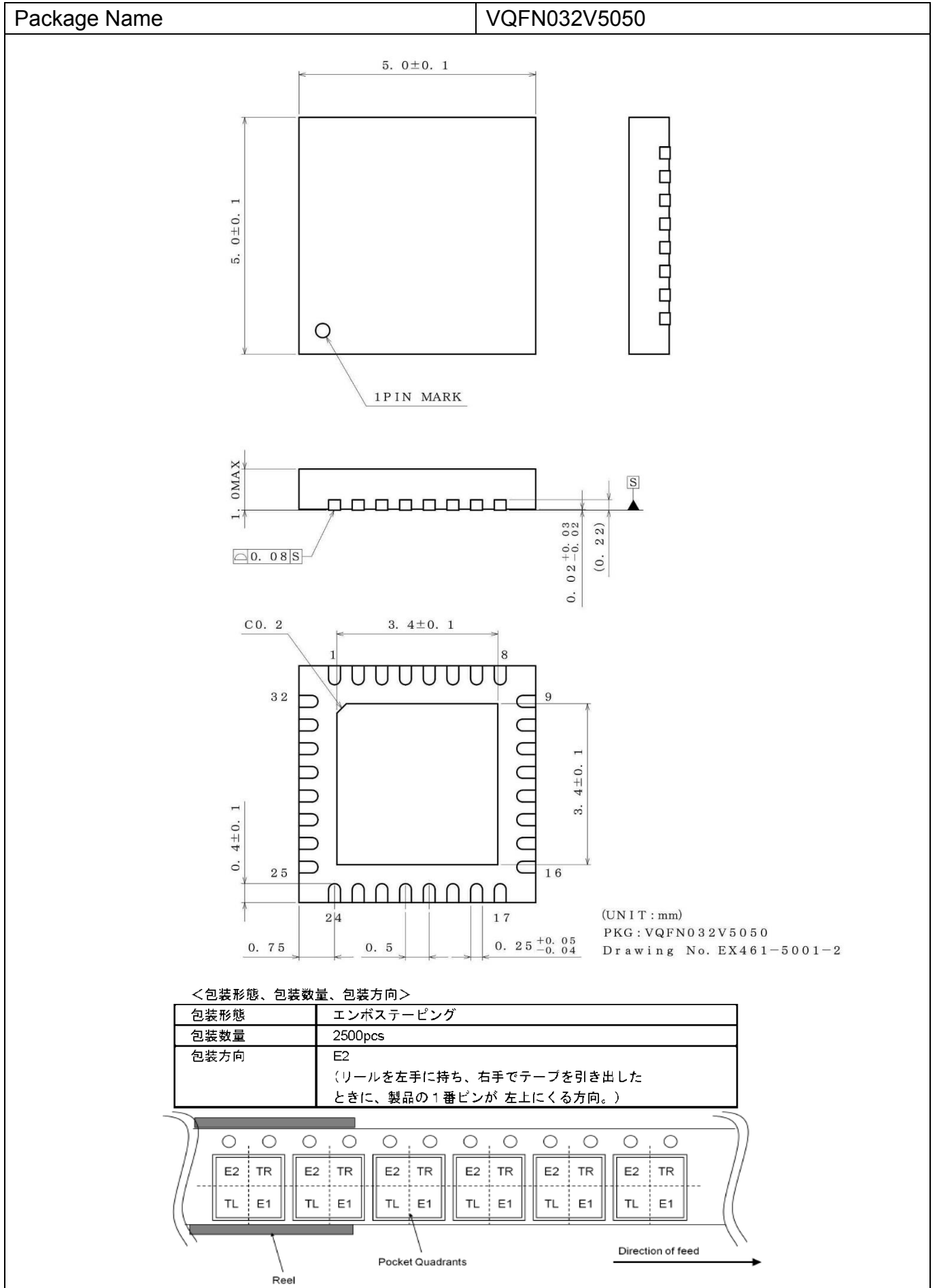
発注形名情報



標印図



外形寸法図と包装・フォーミング仕様



改訂履歴

日付	版	変更内容
2020.07.10	001	新規作成

ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。したがって、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
 - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き(梱包箱に表示されている天面方向)で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等(ソフトウェア含む)との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。