

デジタルスチルカメラ/デジタルビデオカメラ用電源 LSI シリーズ



# デジタルビデオカメラ用/ デジタル一眼レフカメラ用 システムスイッチングレギュレータ

**BD9865MWV**

No.11039JCT19

**●概要**

BD9865MWV は 2 チャンネル降圧用、1 チャンネル昇降圧自動切り替え用、1 チャンネル降圧/反転切り替え可能の計 4chDC/DC コンバータ用 IC です。全チャンネル FET を内蔵しております為、外付け部品の削減が可能です。また各チャンネルの独立制御可能のため、非動作チャンネルの低消費電力化を実現しています。

**●特長**

- 1) 降圧 2 チャンネル、昇降圧自動切替可能 1 チャンネル、降圧/反転切り替え可能 1 チャンネルの計 4 チャンネルを搭載
- 2) 全チャンネル FET 内蔵
- 3) 全チャンネル過電流保護機能(OCP)を内蔵
- 4) タイマラッチ方式短絡保護回路(SCP)を内蔵
- 5) 低電圧入力誤作動防止回路(UVLO)を内蔵
- 6) 過熱保護回路(TSD)を内蔵
- 7) PG 機能内蔵
- 8) 外部同期可能
- 9) 各チャンネル独立 ON/OFF 制御可能
- 10) 放熱板付き UQFN040V5050 パッケージ(0.4mm ピッチ)

**●用途**

一眼デジタルカメラ、デジタルビデオカメラ等

**●絶対最大定格**

項目	記号	定格	単位
最大印加電源電圧	VCC, PVCC, PVCC1,2,3,4	-0.3~15	V
最大入力電流 1	IPVCC1,2,3	2.0	A
最大入力電流 2	IPVCC4	1.0	A
最大印加入力電圧	VREGA, VREGD, PVCC1,2,3,4-VREGB	-0.3~7	V
	Lx1, Lx2, Lx31	-0.3~15	V
	Lx32, Vo3	-0.3~10.5	V
	PVCC4-Lx4	-0.3~30.5	V
	PG	-0.3~15	V
	CTL1,2,3,4	-0.3~15	V
	SYNC	-0.3~15	V
許容損失	Pd	380 <sup>(1)</sup>	mW
		880 <sup>(2)</sup>	mW
動作温度範囲	Topr	-25~+85	°C
保存温度範囲	Tstg	-55~+150	°C
ジャンクション温度	Tjmax	150	°C

(1) IC 単体時。Ta=25°C以上で使用する場合は、3.0mW/°Cで軽減。

(2) PCB(74mm×74mm、厚さ 1.6mm がラミネート) 1 層基板実装時。Ta=25°C以上で使用する場合は、7.0mW/°Cで軽減。

## ●動作条件

項目	記号	規格値			単位	条件
		最小	標準	最大		
電源電圧	VCC,PVCC	4.0	6.0	14	V	
VREF4 端子接続容量	CVREF	0.47	1.0	2.2	uF	
VREGA,VREGD 端子接続容量	CVREGA,D	0.47	1.0	2.2	uF	
VREGB 端子接続容量	CVREGB	0.47	1.0	2.2	uF	対 PVCC 接続
SCP 端子接続容量	CSCP	0.001	—	2.2	uF	
発振周波数	FOSC	0.6	1.0	1.5	MHz	
OSC タイミング抵抗	RT	47	82	120	kΩ	82KΩにて 1MHz 発振
RTSS 端子接続容量	CRTSS	1000	10000	—	pF	
SYNC 端子入力 H	VSYNCH	3.0	-	VCC	V	
SYNC 端子入力 L	VSYNCL	-0.3	-	0.5	V	
SYNC 端子入力 Duty	DSYNC	40	50	60	%	
CH3 出力電圧設定範囲	VVOUT3	4.0	—	10	V	
CH1,CH2 出力電流	IOUTCH1,2	—	—	1 <sup>(*)</sup>	A	3.3V 出力時
CH3 出力電流	IOUTCH3	—	—	1 <sup>(*)</sup>	A	5.0V 出力時
CH4 出力電流(降圧設定時)	IOUTCH4L	—	—	1 <sup>(*)</sup>	A	1.2V 出力時
CH4 出力電流(反転設定時)	IOUTCH4H	—	—	0.5 <sup>(*)</sup>	A	-3.0V 出力時

(\*) IC を安定に動作させるために入出力端子(VCC,PVCC,VREF,VREG)にはコンデンサを必ず接続してください。

(\*)3) IC のトータル損失が許容損失を超えないように電力設計を行ってください。

## ●電気的特性(特に指定のない限り Ta=25°C, VCC=PVCC=6V, RT=82kΩ, CTL1~4=3V)

項目	記号	規格値			単位	条件
		最小	標準	最大		
内部基準用レギュレータ出力電圧	VREGA	3.3	3.5	3.7	V	IVREGA=-1mA
HighsideFET 駆動用 レギュレータ出力電圧	VREGB	VCC-3.7	VCC-3.5	VCC-3.3	V	IVREGB=+1mA
LowsideFET 駆動用 レギュレータ出力電圧	VREGD	3.3	3.5	3.7	V	IVREGD=-1mA
VCC 低電圧誤動作防止回路検出 スレッシュホールド電圧	VSTD1	3.4	3.6	3.8	V	VCC モニタ
VCC 低電圧誤動作防止回路検出 ヒステリシス電圧幅	VHYS1	-	0.1	0.2	V	VCC 解除時
VREG 低電圧誤動作防止回路検出 スレッシュホールド電圧	VSTD2	2.8	3.0	3.2	V	VREGA、VREGD モニタ
VREG 低電圧誤動作防止回路検出 ヒステリシス電圧幅	VHYS2	-	0.1	0.2	V	VREGA、VREGD 解除時
過負荷時出力遮断回路(SCP)タイマ スレッシュホールド電圧	VTC	2.8	3.0	3.2	V	FB モニタ
SCP 端子流出電流	ISCP	2.5	5.0	7.5	μA	VSCP=0.1V
SCP 端子検出電圧	VTSC	0.45	0.50	0.55	V	
SCP 端子待機時電圧	VSSC	-	10	100	mV	
DC/DC コンバータ 発振周波数 CH1~4	FOSC	0.8	1.0	1.2	MHz	RT=82kΩ
Max duty LX1,LX2	DMAX1,2	-	-	100	%	VSCP=0V <sup>(*)</sup> , Lx1,Lx2 High Duty
Max duty LX31	DMAX31	-	-	100	%	Lx31 High Duty
Max duty LX32	DMAX32	74	80	86	%	Lx32 Low Duty
Max duty LX4	DMAX4	86	92	98	%	Lx4 High Duty
RTSS 端子待機時電圧	RTSSF	-	1	20	mV	CTL1~4=0V
RTSS 端子流入電流	IRTSSI	-7	-5	-3	μA	
RTSS 端子流出電流	IRTSSO	3	5	7	μA	
エラーアンプ入力端子(INV 端子) バイアス電流	IINV1,2,3,4	-50	0	50	nA	INV=2.0V
CH1~3 エラーアンプ入力端子 (INV1~3)スレッシュホールド	VINV1,2,3	0.790	0.800	0.810	V	
NON 端子 INV 端子間オフセット	VOFF	-	-	10	mV	NON4=1V, INV4=FB4
VREF4 出力電圧	VOREF	0.990	1.000	1.010	V	
VREF4 ラインレギュレーション	DVLI	-	1.0	7.5	mV	VCC=4.8~8.4V
VREF4 ロードレギュレーション	DVLO	-	1.0	7.5	mV	IVREF=-10μA~-100μA
VREF4 短絡時出力電流	IOS	10	30	-	mA	VREF=0V
VREF4 端子ディスチャージ抵抗	RDISREF4	60	150	240	Ω	CTL4 =0V
ソフトスタート時間 CH1,2,3,4	TSS1,2,3,4	0.5	1.0	1.5	msec	

(\*) 100% Duty は短絡保護回路が動作し充電を開始します。そのため SCP 端子充電時間以下の過渡状態のみに使用可能です。

◎耐放射線設計はしていません。

項目	記号	規格値			単位	条件
		最小	標準	最大		
LX1,LX2,LX31 Highside SW ON 抵抗	RON1,2,31P	-	200	320	mΩ	ILX=-50mA
LX1,LX2,LX31 Lowside SW ON 抵抗	RON1,2,31N	-	100	160	mΩ	ILX=+50mA
LX32 Highside SW ON 抵抗	RON32P	-	250	400	mΩ	Vo3=5.0V, ILX=-50mA
LX32 Lowside SW ON 抵抗	RON32N	-	100	160	mΩ	ILX=+50mA
LX4 Highside SW ON 抵抗	RON4P	-	500	800	mΩ	ILX=-50mA
LX1,LX2 端子 ディスチャージ抵抗	RDISLX1,2	40	100	160	Ω	CTL1,CTL2=0V
VO3 端子 ディスチャージ抵抗	RDISVO3	40	100	160	Ω	CTL3=0V
PG 端子 ON 抵抗	RONPG	-	350	600	Ω	PG=1V
PG 端子リーク電流	ILKPG	-	0	1.0	μA	PG=15V
CTL 端子電圧(動作)	VCTLH	2.5	-	VCC	V	CTL1,2,3,4
CTL 端子電圧(スタンバイ)	VCTLL	-0.3	-	0.8	V	CTL1,2,3,4
CTL 端子プルダウン抵抗	RCTL	250	400	700	kΩ	CTL1,2,3,4
スタンバイ(IC OFF)時回路電流	ISTB	-	0	5	μA	CTL1~4=0V
動作時回路電流(SCP 検出時)	ICCST	-	5	10	mA	INV1,2,3,4=0V、 アナログ部回路電流
無負荷時回路電流 (アプリケーション動作時)	ICCAPP	-	30	40	mA	全 CH 出力時 (推奨部品定数時)

◎耐放射線設計はしていません。

●外形寸法図

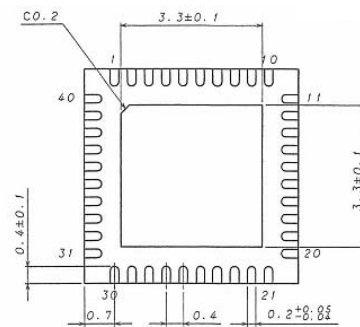
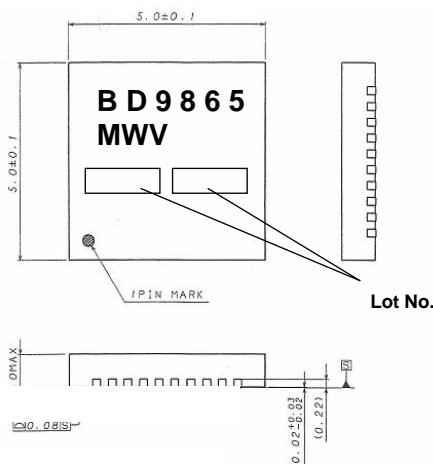


Fig.1 外形寸法図

## ●端子配置図

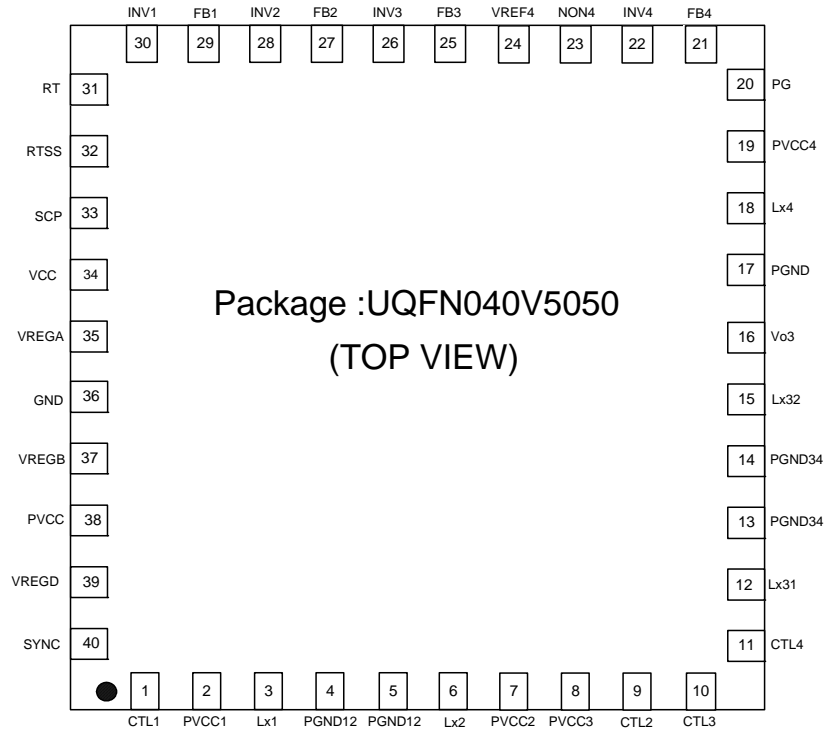


Fig.2 端子配置図

## ●端子配説明

PINno	端子名	I/O	機能
34	VCC	-	電源入力
38	PVCC	-	DRIVER 用 REG 電源入力
17	PGND	-	接地
2,7,8,19	PVCC1,2,3,4	-	出力段電源入力
4,5,13,14	PGND12,34	-	出力段接地
36	GND	-	接地
39	VREGD	O	LowsideDRIVER 用 3.5VREG 出力
35	VREGA	O	内部基準用 3.5VREG 出力
37	VREGB	O	HighsideDRIVER 用 PVCC-3.5VREG 出力
24	VREF4	O	CH41.0V 基準電圧出力
16	Vo3	O	CH3 出力電圧端子
3,6,18	Lx1,2,4	O	インダクタ接続端子
12	Lx31	O	CH3 入力側インダクタ接続端子
15	Lx32	O	CH3 出力側インダクタ接続端子
30,28,26,22	INV1,2,3,4	I	エラーアンプ反転入力
23	NON4	I	CH4 エラーアンプ非反転入力
29,27,25,21	FB1,2,3,4,	O	エラーアンプ出力
40	SYNC	I	周波数外部入力端子
31	RT	-	OSC タイミング抵抗接続
33	SCP	-	タイマラッチ時間設定コンデンサ接続
1,9,10,11	CTL1,2,3,4	I	CH1~CH4 ON/OFF スイッチ CTL=H 動作
20	PG	O	パワーグッド信号出力端子(SCP 時 Low)
32	RTSS	I	RT 電圧設定端子

● ブロック図

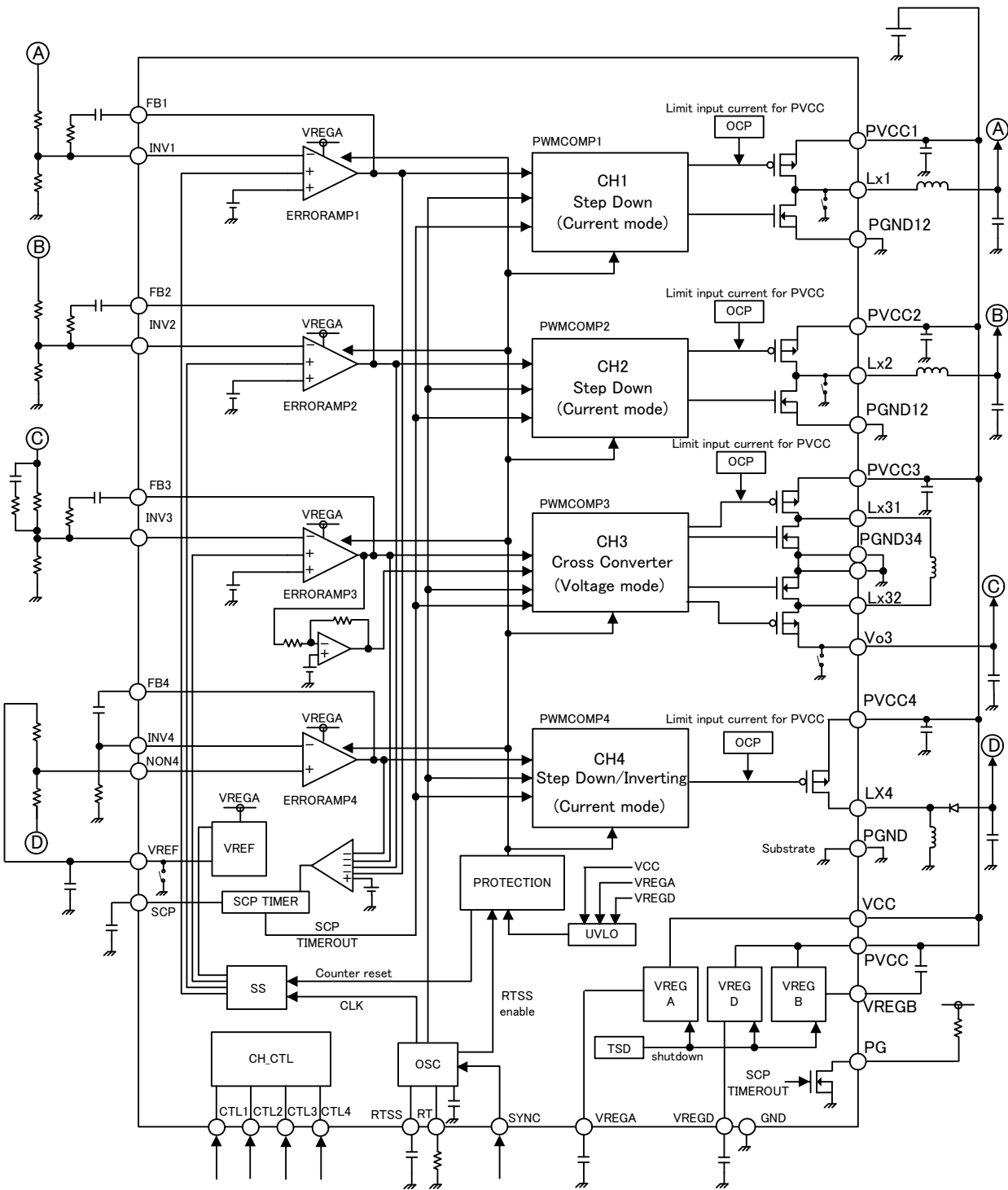


Fig.3 ブロック図

## ●各ブロック動作説明

## ・DCDC ブロック(4 チャンネル)

本 IC において、各チャンネルの仕様は以下のようになっております。

	CH1	CH2	CH3	CH4
TYPE	降圧	降圧	昇降圧	降圧/反転
MODE	カレントモード	カレントモード	ボルテージモード	カレントモード
同期整流	○	○	○	ダイオード整流
FET 構成	内蔵 P/N	内蔵 P/N	内蔵 P/N	内蔵 P
ソフトスタート	内蔵カウンタ	内蔵カウンタ	内蔵カウンタ	内蔵カウンタ
ON/OFF 制御	独立	独立	独立	独立

表.1 各チャンネル仕様

## ・基準電圧ブロック(VREF)

VCC 端子より供給される電源入力から、温度補償された定電圧を発生します。CTL4 を ON することで、内蔵カウンタによる時定数(発振周波数に応じて変化し、1MHz 時に 1msec となります。)でソフトスタートしながら出力されます。VREF 電圧は、CH4 の基準電圧として使用します。降圧/反転で帰還の接続方法が異なりますので、詳細は P.10 の CH4 エラーアンプ周辺設定方法を参照してください。出力電圧は 1.0V、精度は±1%です。発振止めとして、VREF-GND 間にセラミックコンデンサ(0.47~2.2μF)を挿入してください。挿入するコンデンサの容量値は 1.0μF を推奨いたします。

## ・VREGA,VREGD,VREGB ブロック

VREGA は 3.5V 出力の内部電源用レギュレータです。また VREGD は 3.5V のローサイド内蔵 FET のゲートバイアス電圧を供給し、VREGB は PVCC-3.5V のハイサイド内蔵 FET のゲートバイアス電圧を供給します。これらのレギュレータには発振止めとして、端子-GND 間(VREGB は端子-PVCC 間)にセラミックコンデンサ(0.47~2.2μF)を挿入してください。挿入するコンデンサの容量値は 1.0μF を推奨いたします。

## ・三角波発振器ブロック(OSC)

RT 端子に周波数設定用の抵抗を接続することで、三角波(スロープ波)を生成し、各 CH の PWM コンパレータに入力します。RT=82kΩ 時、1.0MHz の動作周波数となります。詳細な設定方法は P.10 を参照してください。外部同期機能用 SYNC 端子にクロック入力した状態で CTL 端子を ON といたしますと、SYNC 端子入力周波数と同期した周波数にて DC/DC コンバータ発振いたします。外部同期の詳細説明は P.15 を参照してください。

## ・ERRORAMP ブロック

出力電圧を INV 端子で検知して出力設定電圧との誤差を増幅し、FB 端子より出力します。比較電圧は 0.8V(CH1~3)、で、精度は±1.25%です。また、CH4 は NON4 端子がでており、降圧チャンネルとして使用する場合は、VREF4 と接続してください。反転チャンネルとして使用する場合は、GND と接続してください。

## ・PWM コンパレータブロック

SLOPE 波形とエラーアンプ出力電圧(FB 電圧)を比較し、生成されたパルスのパルス幅により、FET ドライバの発振 Duty を制御します。

## ・カレントモードコントロールブロック

CH1,2,4 はカレントモードによる PWM 方式を採用しております。カレントモードの DCDC コンバータでは、クロックのエッジ検出により、同期整流のメイン側 FET が ON し、電流コンパレータによりピーク電流を検出し、OFF します。

## ・昇降圧コントロールブロック

CH3 昇降圧回路の DUTY コントロール回路です。1.0MHz の SLOPE 波形と FB 電圧を比較する PWM コンパレータと、それを 4 つの内蔵 FET の ON/OFF 信号へと切り替える Logic 回路により構成されています。

## ・ソフトスタートブロック(SS)

内蔵カウンタにより起動時のエラーアンプ基準電圧をスロープ状の立ち上がりとし、出力電圧をスロープ状の立ち上がりとすることにより出力コンデンサチャージによる入カラッシュ電流を軽減する回路です。

・ チャンネルコントロールブロック(CH\_CTL)

CTL1~4 端子により各チャンネル出力 ON/OFF の独立制御が可能です。2.5V~VCC の電圧を印加すると ON となり、オープン又は-0.3V~0.3V の電圧を印加すると OFF になります。全てのチャンネルを OFF とすることで、IC がスタンバイ状態になります。各端子には 400k $\Omega$ (Typ.)のプルダウン抵抗が内蔵されております。

CTL				LX					FB				VREF4	VREGA	VREGD	VREGB	OSC
1	2	3	4	1	2	31	32	4	1	2	3	4					
L	L	L	L	L	L	Z	L	Z	L	L	L	L	N	N	N	N	N
H	L	L	L	A	L	Z	L	Z	A	L	L	L	N	A	A	A	A
L	H	L	L	L	A	Z	L	Z	L	A	L	L	N	A	A	A	A
L	L	H	L	L	L	A	A	Z	L	L	A	L	N	A	A	A	A
L	L	L	H	L	L	Z	L	A	L	L	L	A	A	A	A	A	A
H	H	H	H	A	A	A	A	A	A	A	A	A	A	A	A	A	A

表.2 CTL 表

A:Active  
NA:Non-Active  
Z:Hi-Z

・ 短絡保護回路(SCP)

タイマラッチ方式の短絡保護回路です。いずれかのチャンネルの出力電圧が設定電圧より低下することにより、エラーアンプ出力である FB 電圧が上昇し、3.0V(TYP)を超えると、SCP 端子に接続されたコンデンサを 5 $\mu$ A で充電し始めます。SCP 端子電圧が 0.5V に達すると、ラッチ回路が動作して全チャンネルの出力を OFF に固定します。ラッチ回路をリセットするには、CTL 端子を一旦"L"にしたのち、再度"H"にしてください。もしくは電源電圧を再投入してください。なお、短絡保護回路を使用しない場合は、SCP 端子を GND にショートしてください。SCP 動作のタイミングチャートは P.23、24 を参照してください。

・ 低電圧入力誤動作防止回路(UVLO)

電源投入時や電源瞬断時の IC 誤動作を防止するための保護回路です。VCC 端子電圧が 3.6V(TYP)以下、または VREGA、VREGD 端子電圧が 3.0V(TYP)以下で、全チャンネルの出力を OFF に固定し、同時に FB 端子電圧"L"レベルに固定します。また、各 UVLO の検出電圧には 0.1V(TYP)のヒステリシス幅があり、スレッシュホールドオンラインでの入力電圧変動による誤動作を防止しています。UVLO に関するタイミングチャートは P.22 を参照してください。

・ 温度保護回路(サーマルシャットダウン/TSD)

異常発熱による IC 破壊を防止するための保護回路です。チップの異常発熱(175 $^{\circ}$ C)を検知すると、内部レギュレータの出力電圧を 'L' レベル(VREGB は VCC)に固定します。また、検出温度と解除温度にはヒステリシス幅(25 $^{\circ}$ C)があり、スレッシュホールドオンラインでの温度変動による誤動作を防止しています。P.30 に使用上の注意を記載しております。

・ パワーグッド回路(PG)

オープンドレインの出力形状となっており、SCP 検出時には 350 $\Omega$ (TYP)の抵抗値により PG 端子をプルダウンとします。通常は抵抗で Pull up して使用してください。PG 端子のタイミングチャートは P.23、24 を参照してください。

・ 過電流保護回路(OCP)

入力電流を検出して過負荷もしくは出力短絡時、内蔵 FET に許容量以上の電流が流れることによる IC の破壊を防ぎます。OCP を検出すると内蔵 FET をミニマムデューティにて発振させることで入力電流を制限し、出力電圧を低下させた後 SCP 検出により全チャンネルの DC/DC コンバータ動作を安全に停止いたします。

・ 保護回路動作時機能表

保護回路動作時の各出力状態は下記表のようになります。

	LX					FB				VREF4	VREGA	VREGD	VREGB	OSC
	1	2	31	32	4	1	2	3	4					
UVLO	L	L	Z	L	Z	L	L	L	L	N	N	N	N	N
SCP	Z	Z	Z	Vo3	Z	A	A	A	A	A	A	A	A	A
OCP	minDuty	minDuty	minDuty	A	minDuty	A	A	A	A	A	A	A	A	A
TSD	L	L	Z	L	Z	L	L	L	L	N	N	N	N	N

表.3 保護回路動作時の出力論理表

A:Active  
NA:Non-Active  
Z:Hi-Z



●周辺部品設定方法

・発振周波数設定方法

発振周波数は、RT 端子(pin)に接続するタイミング抵抗により設定することができます。Fig.4 の特性データを参考に周波数を設定してください。 1.0MHz 設定時の RT に接続する抵抗値は約 82kΩ となります。

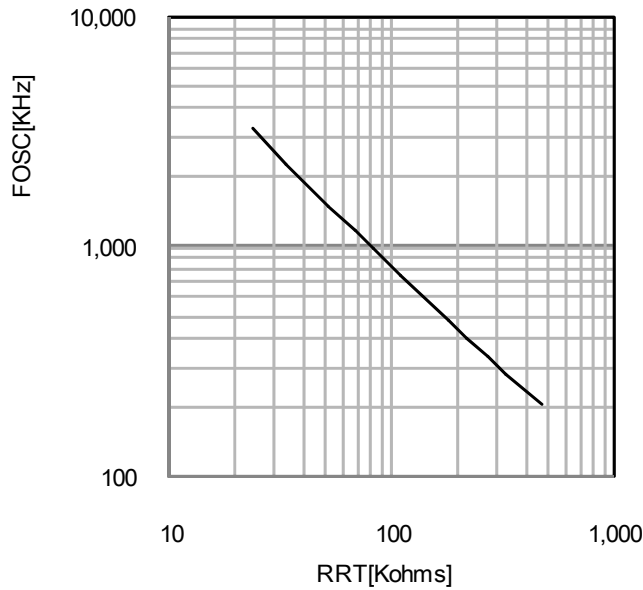


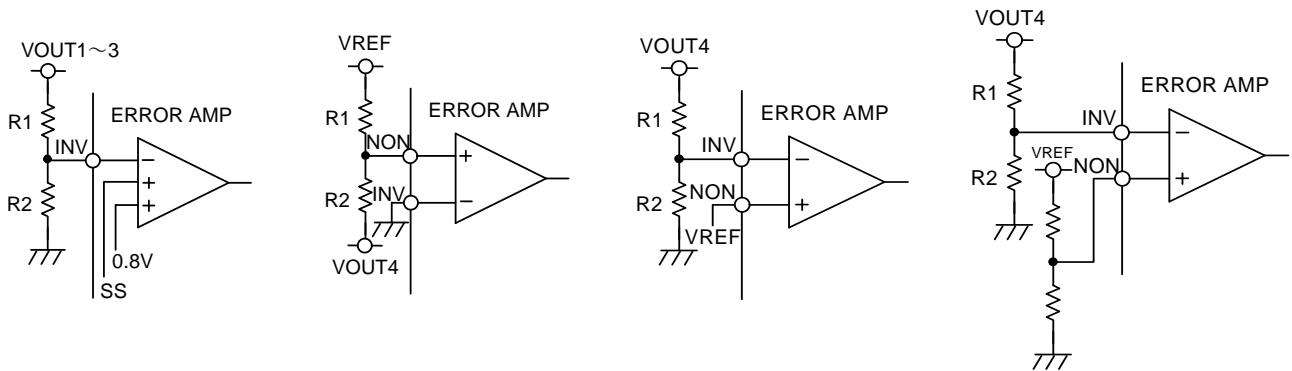
Fig.4 動作周波数タイミング抵抗特性

周波数と R<sub>RT</sub>[kΩ]との関係式は以下ようになります。

$$F_{osc} = 82 / R_{RT} \times 1000 \text{ [KHz]}$$

上記理論式をもとに設定後、実機にて動作確認を行ってください。

・出力電圧設定方法



CH1~3 出力設定方法

$$V_o = \frac{(R1+R2)}{R2} \times 0.8 \text{ [V]}$$

CH4(反転時)出力設定方法

$$V_o = - \frac{R2}{R1} \times VREF \text{ [V]}$$

CH4(降圧時)出力設定方法 1

$$V_o = \frac{(R1+R2)}{R2} \times VREF \text{ [V]}$$

CH4(降圧時)出力設定方法 2

$$V_o = \frac{(R1+R2)}{R2} \times NON4 \text{ [V]}$$

Fig.5 出力電圧設定方法

各チャンネルの出力電圧は INV1~4、NON4 端子に接続する帰還抵抗 R1,及び R2 により上式で求められる電圧に設定されます。また、CH4(反転時)の場合、VREF を用いて帰還を帰します。この場合 VREF のロードレギュレーションによる CH4 出力電圧の低下を防ぐため、R1 は 10kΩ以上の抵抗値を使用してください。また、CH4 を 1.0V 以下の降圧チャンネルとして使用する場合には、VREF-GND 間で 抵抗分割し、分割点を基準電圧とすることで設定が可能です(出力設定方法 2 参照)。この場合も同様に分割用の抵抗には 10kΩ以上の抵抗値を使用してください。

・未使用チャンネル端子処理

未使用チャンネルの各端子は下図のように処理を行い使用してください。

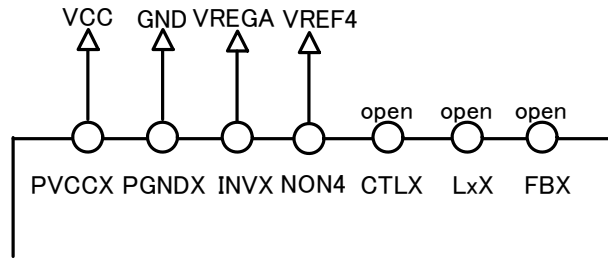


Fig.6 未使用チャンネル端子処理方法

・SCP 機能使用方法

エラーアンプの出力(FB 端子電圧)を監視し端子電圧が 3.0V(TYP)を越えた場合、短絡保護回路図(Fig8-1)において過負荷検知比較器(SCP COMP)出力は、“L” レベルとなります。すると、トランジスタの Q1 がオフとなり SCP 端子に外付けされた短絡保護用コンデンサ CSCP に 5.0μA で充電を開始します。

$$\text{ショート検知時間 } T_{SCP}(s) \approx \{0.5(V) \times C_{SCP}(\mu F)\} / 5.0(\mu F)$$

コンデンサ CSCP がスレッシュホールド電圧( $V_{tsc} \approx 0.5V$ )まで充電されると出力を停止させます。なお、CTL 端子を“L”レベルにすることで、SCP 端子電圧を放電し短絡保護の解除が可能です。

SCP のタイミングチャートは P.23、24 を参照してください。

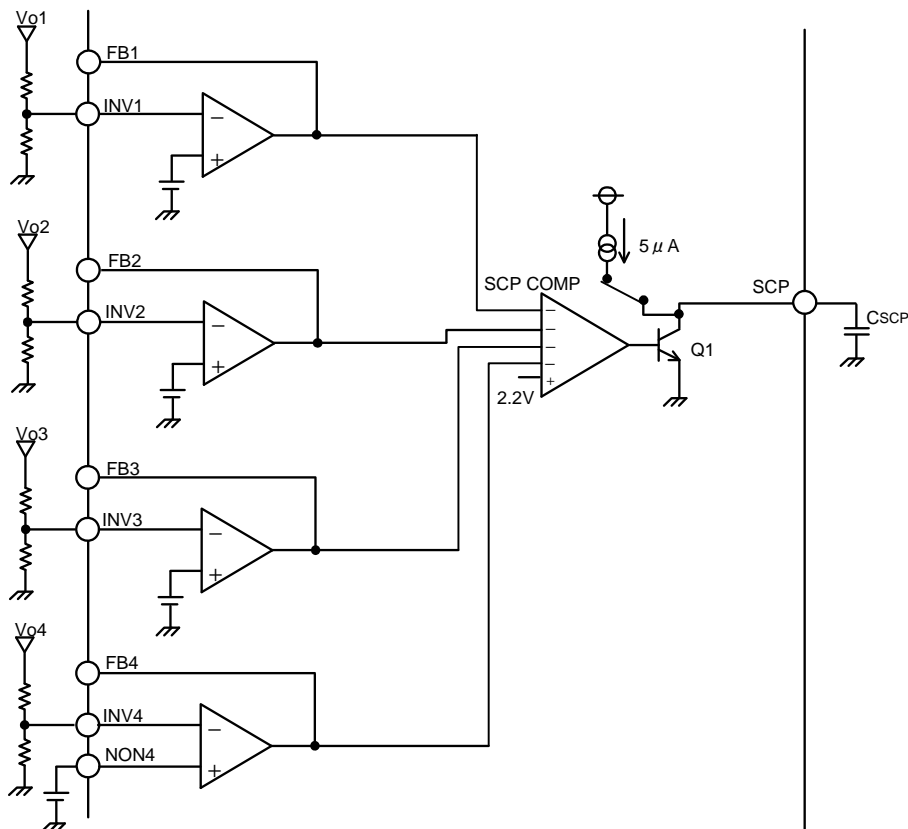


Fig.7 短絡保護回路図

#### ・出力インダクタの選定方法

電流定格が下記電流値  $I_{peak}$  より十分大きく、DCR(直流抵抗成分)が低く、またシールドタイプのものを推奨いたします。  
インダクタの値はリップル電流に大きく影響します。  
リップル電流は以下の式のようにコイルのL値が大きいほど、またスイッチング周波数が高いほど小さくすることができます。

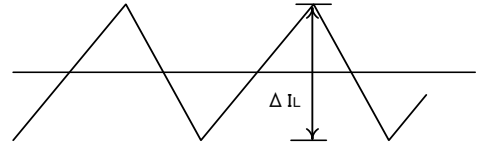


Fig.8 インダクタのリップル電

$$I_{peak} = I_{out} + \Delta I_L / 2 \text{ [A]} \quad (\text{降圧モードの場合}) \quad (1)$$

$$I_{peak} = I_{out} \times (V_{in} + V_{out}) / (2 \times 0.8 \times V_{in} \times \eta) + \Delta I_L / 2 \text{ [A]} \quad (\text{昇降圧モードの場合}) \quad (2)$$

$$I_{peak} = I_{out} \times (V_{out} / V_{in}) / \eta + \Delta I_L / 2 \text{ [A]} \quad (\text{昇圧モードの場合}) \quad (3)$$

$$\Delta I_L = \frac{(V_{in} - V_{out})}{L} \times \frac{V_{out}}{V_{in}} \times \frac{1}{f} \text{ [A]} \quad (\text{降圧モードの場合}) \quad (4)$$

$$\Delta I_L = \frac{|(V_{in} - V_{out})|}{L} \times \frac{V_{out} \times 2 \times 0.8}{(V_{in} + V_{out})} \times \frac{1}{f} \text{ [A]} \quad (\text{昇降圧モードの場合}) \quad (5)$$

$$\Delta I_L = \frac{(V_{out} - V_{in})}{L} \times \frac{V_{in}}{V_{out}} \times \frac{1}{f} \text{ [A]} \quad (\text{昇圧モードの場合}) \quad (6)$$

( $\eta$  : 効率、 $\Delta I_L$  : 出力リップル電流、 $f$  : スwitchング周波数)

リップル電流は、最大出力電流の20%~50%程度を目安として設計を行ってください。

コイルの定格を超える電流をコイルに流しますとコイルが磁気飽和を起こし、効率の低下や出力の発振を引き起こすことがあります。

そのためピーク電流がコイルの定格電流を超えないよう十分なマージンを持って選定してください。

#### ・出力コンデンサの選定方法

出力に使用するコンデンサは出力リップル電圧を軽減するため、ESRの低いセラミックコンデンサを推奨いたします。また、コンデンサの定格はDCバイアス特性を考慮に入れたうえ、最大定格が出力電圧に対して十分に大きいものを使用してください。

セラミックコンデンサを用いた場合の出力リップル電圧は次式より求められます。

$$V_{pp} = \Delta I_L \times \frac{1}{2\pi \times f \times C_o} + \Delta I_L \times R_{ESR} \text{ [V]} \quad (7)$$

上記理論式をもとに許容リップル電圧内に収まるよう設定後、実機にて動作確認を行ってください。

・電流モード部位相補償について  
 CH1,2,4 は電流モードでの動作となります。降圧の電流モードでは降圧電流モードでの位相補償図(Fig9)の形で位相補償を行います。この時、下記計算式により算出される位置にポールとゼロを形成します。

・CFB が形成するポール周波数(一次)

$$f_p (CFB) = \frac{1}{2\pi \times A \times CFB \times (R1//R2)}$$

(A : エラーアンプゲイン)

・RFB が形成するゼロ周波数(一次)

$$f_z (RFB) = \frac{1}{2\pi \times CFB \times RFB}$$

・出力コンデンサが形成するゼロとポール周波数(一次)

$$f_z (COUT) = \frac{1}{2\pi \times ESR \times COUT}$$

$$f_p (COUT) = \frac{1}{2\pi \times RL \times COUT}$$

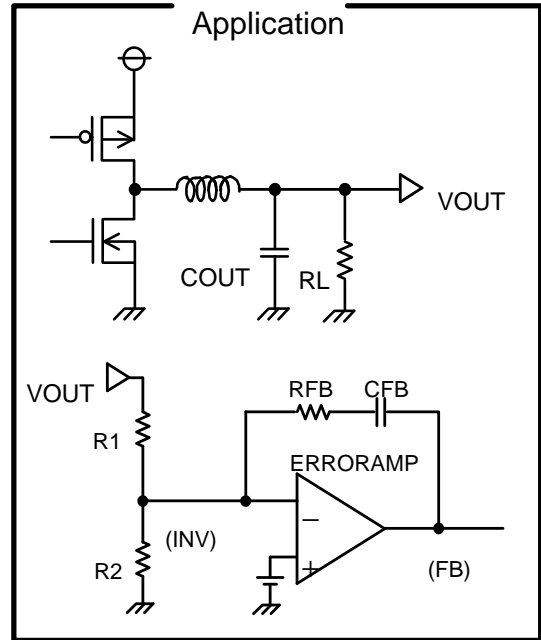


Fig.9 降圧電流モードでの位相補償図

ここで、RL は出力負荷抵抗、ESR は出力コンデンサの直列抵抗です。CFB と RFB は、それぞれ、ポールとゼロを形成します。CFB のポールは一般的にドミナントポールと呼ばれ、主な働きとしてループ利得を低下させ、帯域幅を減少させます。RFB のゼロは、低域の 2 つの(CFB と COUT により形成される)ポールによる位相遅れを、補正するために必要です。このゼロがないと、クロスオーバー周波数にて、位相が 180° 遅れるため、制御系として、不安定となります。

また CH4 では反転チャンネルとしての使用も可能ですが、その場合反転電流モードでの位相補償図(Fig10)の形で位相補償を行います。この時、下記計算式により算出される位置に fp(CFB)形成します。

・CFB が形成するポール周波数(一次 ,反転設定時)

$$f_p (CFB) = \frac{1}{2\pi \times A \times CFB \times RINV}$$

(A : エラーアンプゲイン)

その他のポールとゼロ点については降圧設定時と同様の計算式により算出される位置となります。

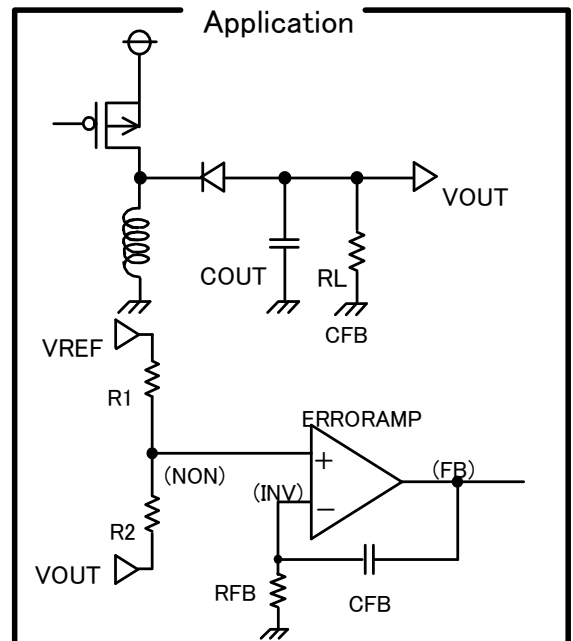


Fig.10 反転電流モードでの位相補償図

- ・ 電圧モード部位相補償について  
CH3は電圧モードでの動作となります。電圧モードでは電圧モードでの位相補償図(Fig11)の形で位相補償を行います。上記位相補償では、下記計算式により算出される位置にポールとゼロを形成します。

- ・ CFB が形成するポール周波数(一次)

$$f_p(\text{CFB}) = \frac{1}{2\pi \times A \times \text{CFB} \times (R1//R2)}$$

(A : エラーアンプゲイン)

- ・ RFB が形成するゼロ周波数(一次)

$$f_z(\text{RFB}) = \frac{1}{2\pi \times \text{CFB} \times \text{RFB}}$$

- ・ CSP が形成するゼロ周波数(一次)

$$f_z(\text{CSP}) = \frac{1}{2\pi \times \text{CSP} \times R1}$$

- ・ 出力コンデンサが形成するゼロ周波数(一次)

$$f_z(\text{COUT}) = \frac{1}{2\pi \times \text{ESR} \times \text{COUT}}$$

- ・ 出力コンデンサとインダクタが形成するポール周波数(二次)

$$f_p(\text{COUT}) = \frac{1}{2\pi \times \sqrt{L \times \text{COUT}}}$$

低 ESR(数 10mΩ)の出力コンデンサを使用した場合出力コンデンサとインダクタにより形成する二次のポールをキャンセルするために RFB が形成するゼロと CSP が形成するゼロの二つを挿入する必要があります。

- ・ 昇降圧チャンネルの動作方式について

CH3は4つの内蔵 FET と 1つの外付けインダクタにより昇降圧チャンネルを構成可能です。昇降圧チャンネルでは、出力設定電圧以上の入力電圧から出力設定電圧以下の入力電圧範囲に対して定常的に電圧出力可能です。昇圧領域、昇降圧領域、降圧領域は連続的に変動いたしますので、モード切替りに伴う出力電圧の不連続はありません。

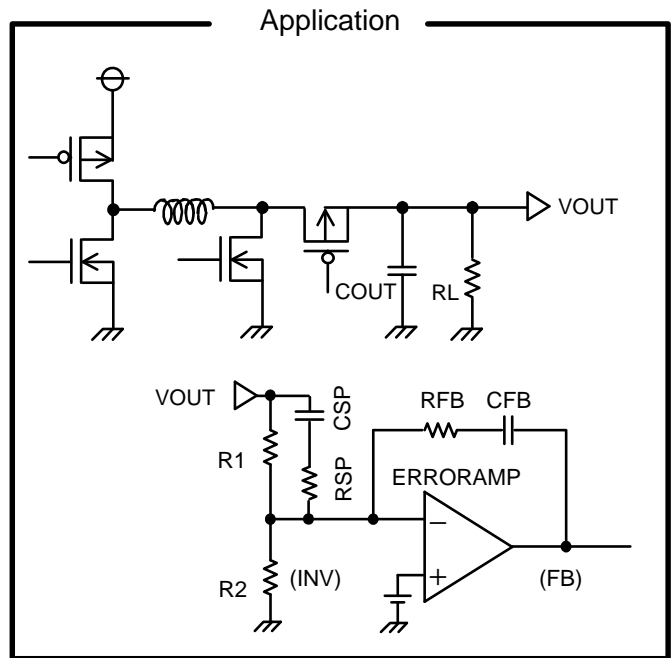


Fig.11 電圧モードでの位相補償図

#### ・外部同期設定について

外部同期機能を使用する際は、IC の動作を停止させた後にクロックを停止してください。途中で止めた場合、内部で生成している三角波(スロープ波)の discharge をしなくなってしまうため、DCDC としての動作停止いたします。なお、SYNC 端子にクロックを入れる前に IC の電源を印加してください。SYNC 端子には対 VCC に保護 Di が入っており(P.28 参照)、VCC が入っていない状態では、SYNC→VCC の経路で電流が流れます。

SYNC 端子に任意の周波数のパルスを印加した状態で CTL 端子を ON とすることにより、入力周波数と同期した発振周波数で DC/DC コンバータ動作を行う外部同期機能を使用することができます。

外部同期機能では、任意の周波数において内部三角波の高さを一定に保つために、入力する周波数に従って RTSS 端子電圧を上昇させる制御を行います。この RTSS 端子電圧の上昇する範囲以上の周波数では内部スロープの高さを一定に保つことができないため、入力する周波数は以下の式のように RT 端子に接続する抵抗により設定される周波数より 20%早い周波数以内としてください。

$$\text{RRT により設定される周波数} < \text{SYNC 端子に入力する周波数} < (\text{RRT により設定される周波数} \times 1.2)$$

RTSS 端子周辺ブロックは、起動時、RTSS 端子に接続した容量値の時定数で立ち上がります。また、IC 内部では立ち上がりで誤動作しないよう、RTSS=0.35V に達するまでは、SS 端子がディスチャージされております。この間の RTSS 流出電流は、立ち上がりを早くするため、約 60 $\mu$ A で設定されております。RTSS=0.35V に達するまでの立ち上がり時間は以下の式で求めることができます。

$$t_{RTSS1}(s) \doteq \{0.35 \times C_{RTSS}(\text{pF})\} / 60(\mu\text{A})$$

(ex. C=10000pF とした場合、 $t_{RTSS1}(s) \doteq 60\mu\text{s}$ )

RTSS=0.35V に達したのちは、RTSS 流入電流は、通常の 5.0 $\mu$ A に戻り、安定するまで(約 0.5V)の立ち上がり時間は以下の式で求めることができます。

$$t_{RTSS2}(s) \doteq [ \{0.5(\text{RT で設定した周波数がほぼ外部同期の周波数と同じ場合}) - 0.35\} \times C_{RTSS}(\text{pF}) / 5.0(\mu\text{A}) ]$$

(ex. C=10000pF とした場合、 $t_{RTSS2}(s) \doteq 300\mu\text{s}$ )

詳細なタイミングチャートは P.23 を参照してください。

また、RTSS 端子電圧は、安定点で sink/source を繰り返し、安定した電圧を出力しますが、外部同期の立ち上がりクロックを用いて sink/source の切り替えを行っているため、コンデンサの容量値が小さすぎると、(特に周波数が低い場合)次のクロックがくるまでに電圧が大きく変動してしまうため、MaxDuty 等の精度がとれなくなってしまう可能性があります。オーダーとしては、周波数を 1.0MHz 付近で動作させる場合、10000pF 程度を使用してください。それ以上の容量値を使用する場合は、安定度は増しますが、SS 機能が動作するまでの時間が遅くなりますので、ご注意ください。

#### ・CH1,2,4 の出力電圧設定方法について

CH1,2 は SCP を設定した際、90~95%の MaxDuty が設定されております。そのため、入出力電圧差が小さい場合、(またはある程度電圧差があっても、負荷電流が大きい場合)FB 電圧が上昇し、SCP がかかってしまう恐れがあります。通常降圧の Duty 比は VOUT/VCC と表せますが、負荷を引いた際、実際の Duty 比は VOUT/(VCC-Ron\*Io)となります。例えば入力電圧 4V にて CH1 Hiside の ON 抵抗が 0.2 $\Omega$ 、1A の負荷電流があった場合は、0.2 $\Omega$ \*1A=0.2V ドロップするので、Duty 比は VOUT/(4-0.2=3.8)となります。MAX Duty を 90%とすると、出力できる VOUT は VOUT=0.9\*3.8=3.42V となります。また、CH4 は 92%(typ)の MaxDuty が設定されているため、入力と出力の電圧の Duty 比が MaxDuty を超えないように設定してください。

#### ・CH4 降圧設定使用方法について

CH4 は反転/降圧切替 CH のため、エラーアンプには NON 端子がでており、他のチャンネルとは違い 2 入力となっております。降圧モードで使用する場合、帰還を INV 端子に帰し、NON 端子には VREF 端子と接続するようになっております。

● 応用回路例 1

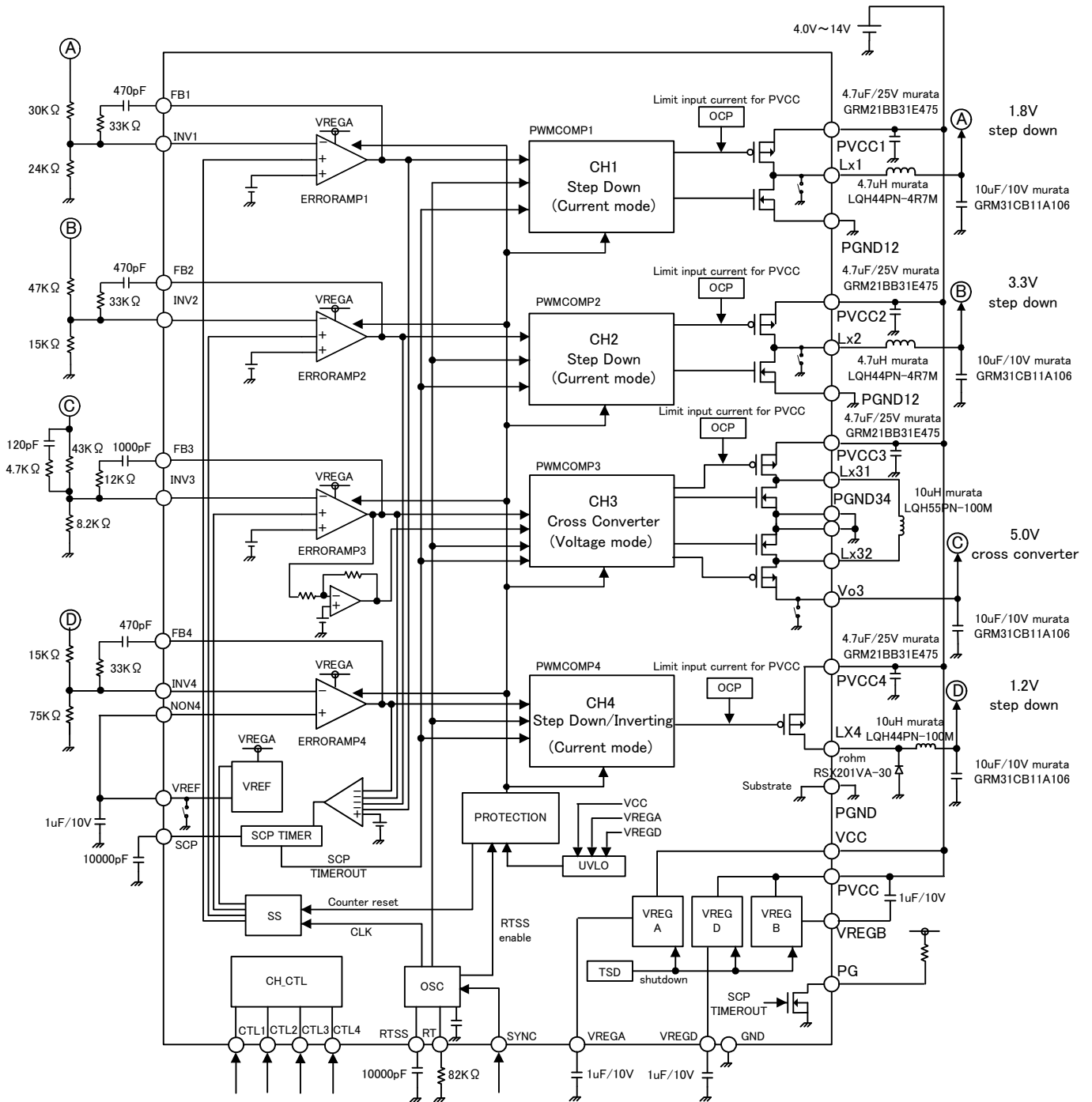


Fig.12 CH4 降圧時アプリケーション

● 応用回路例 2

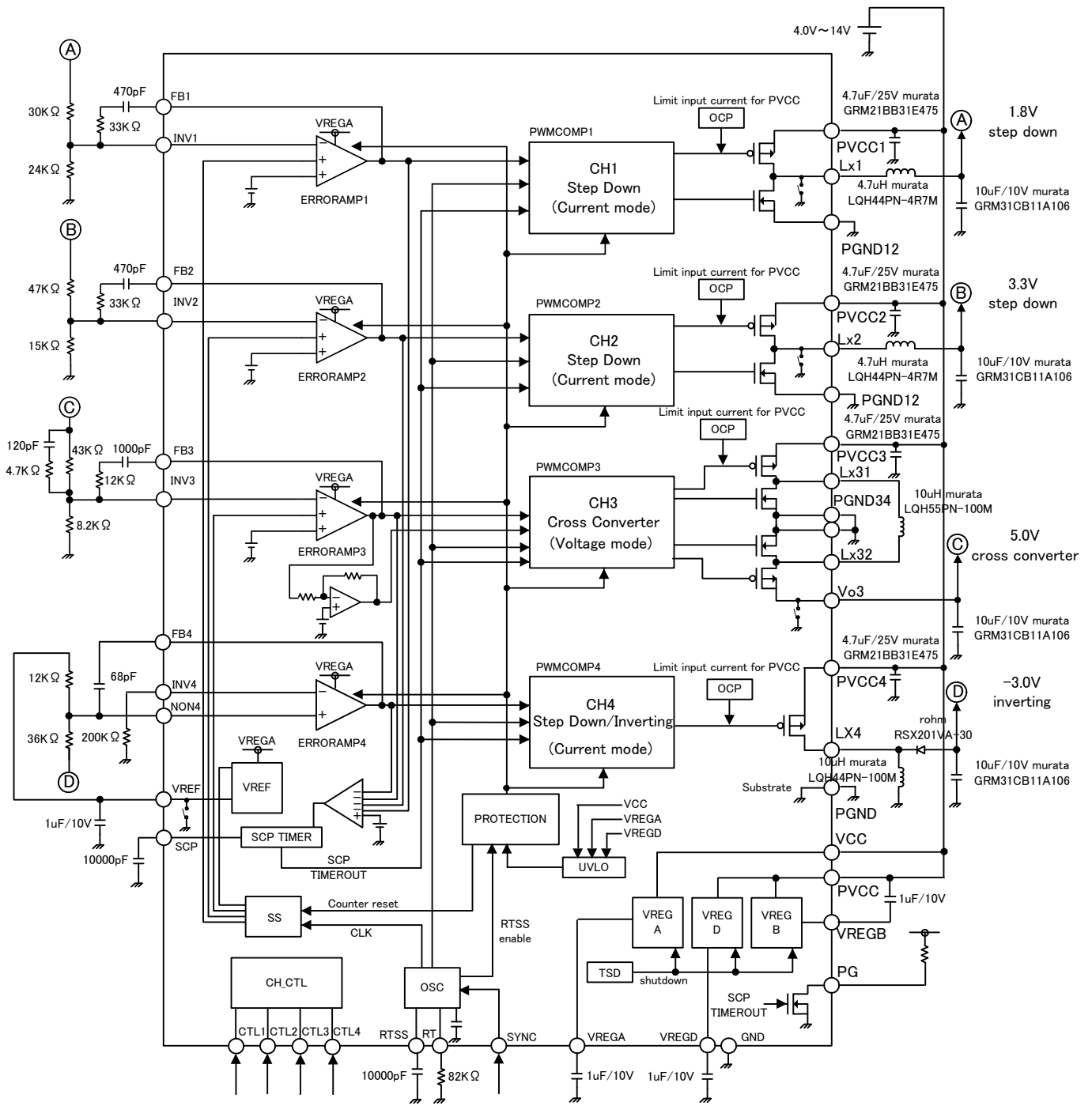


Fig.13 CH4 反転時アプリケーション



●参考データ(特に指定がない限り VCC=6V ,CTL1~4="H", Ta=25°C)

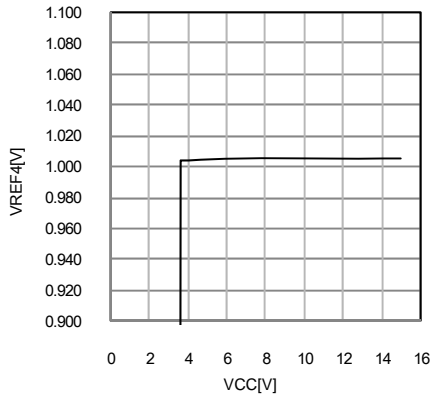


Fig.14. VREF4 - VCC

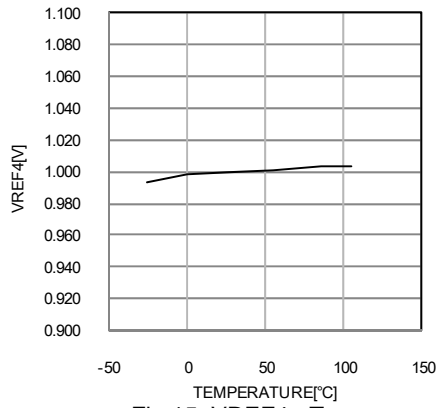


Fig.15. VREF4 - Temp

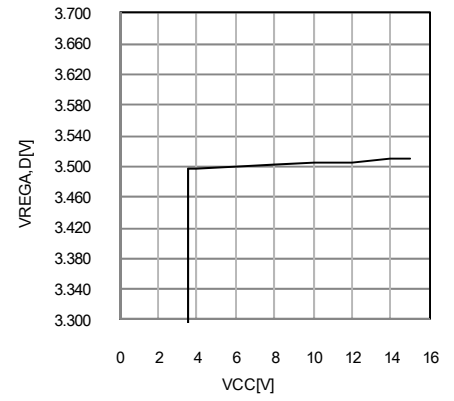


Fig.16. VREGAD - VCC

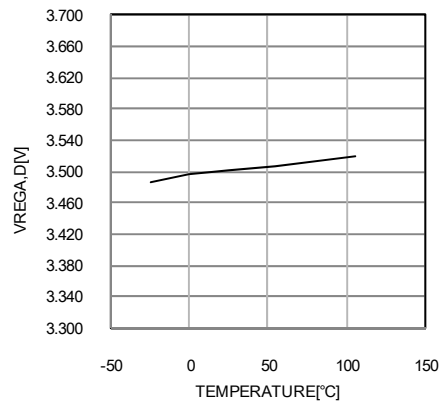


Fig.17. VREGAD - Temp

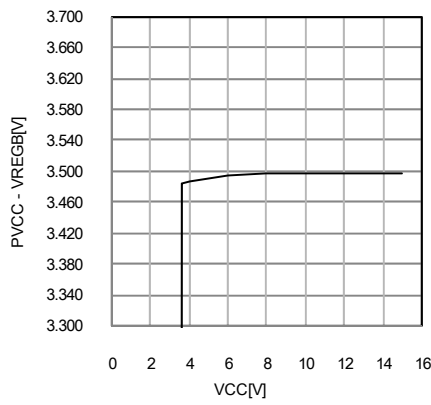


Fig.18. (PVCC-VREGB) - VCC

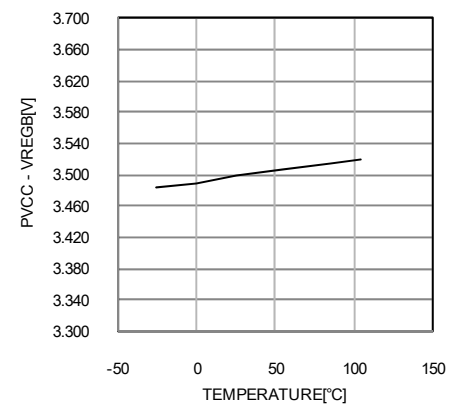


Fig.19. (PVCC-VREGB) - Temp

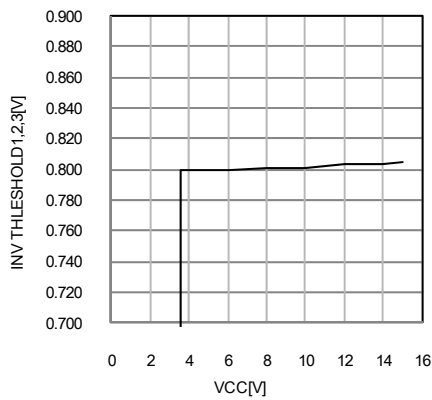


Fig.20. INV threshold - VCC

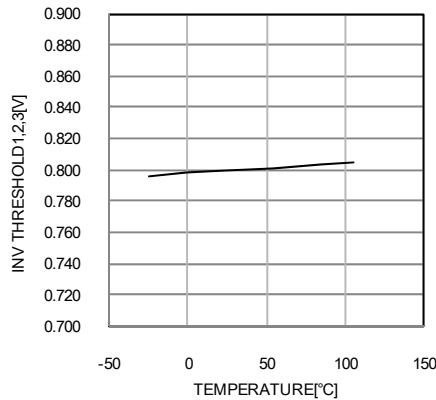


Fig.21. INV threshold - Temp

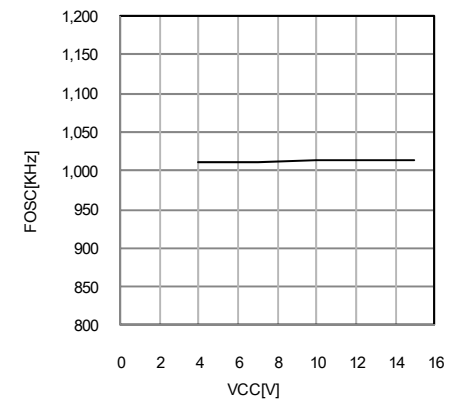


Fig.22. FOSC - VCC

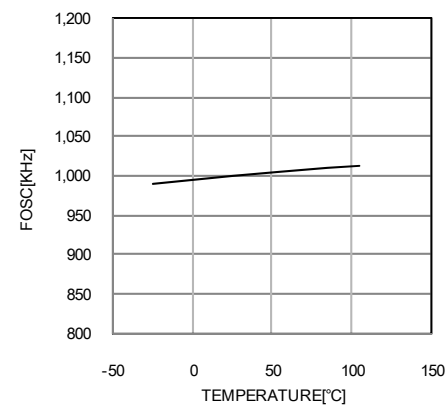


Fig.23. FOSC - Temp

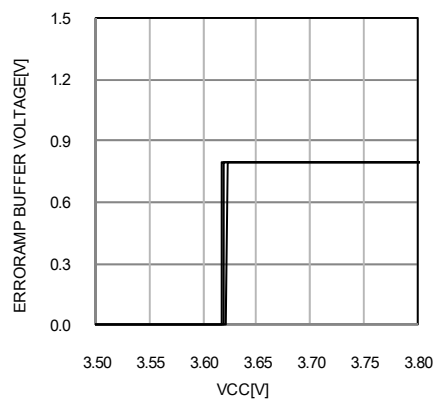


Fig.24. UVLOVCC detect threshold (Ta=-30°C, 25°C, 85°C)

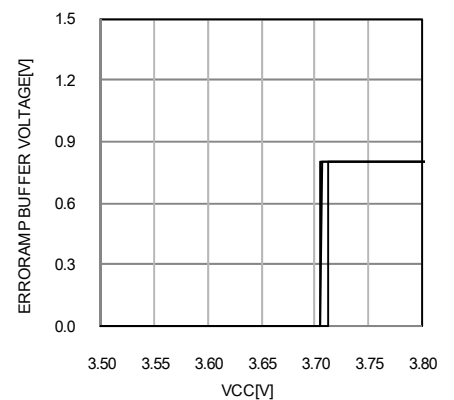


Fig.25. UVLOVCC reset threshold (Ta=-30°C, 25°C, 85°C)

●参考データ(特に指定がない限り VCC=6V ,CTL1~4="H", Ta=25°C)

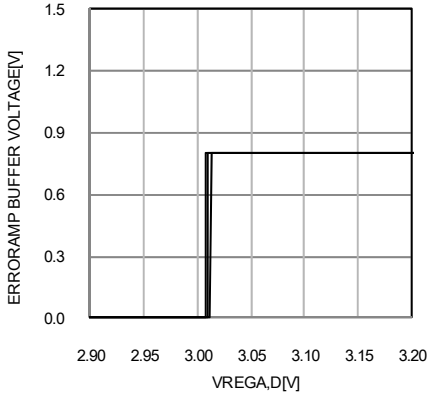


Fig.26. UVLOVREGA,D detect threshold (Ta=-30°C、25°C、85°C)

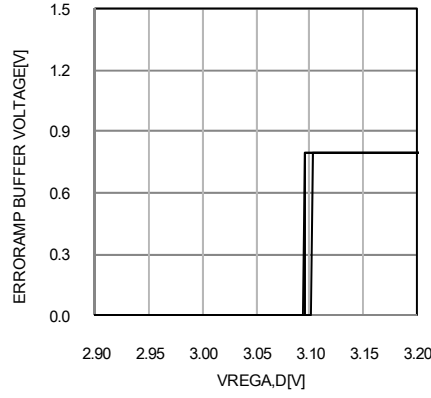


Fig.27. UVLOVREGA,D reset threshold (Ta=-30°C、25°C、85°C)

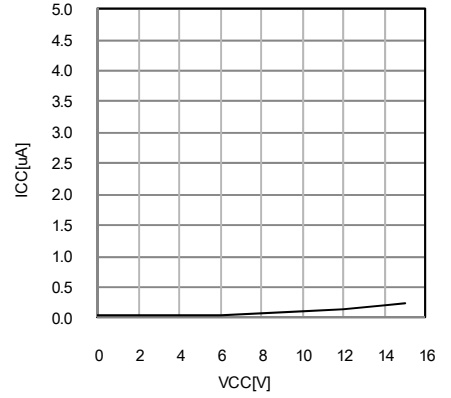


Fig.28. ICC(STB) – VCC

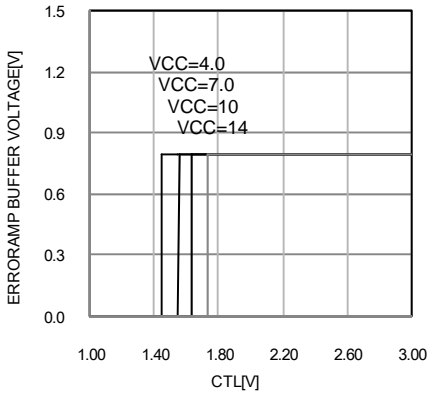


Fig.29. CTL OFF threshold (VCC=4V,7V,10V,14V)

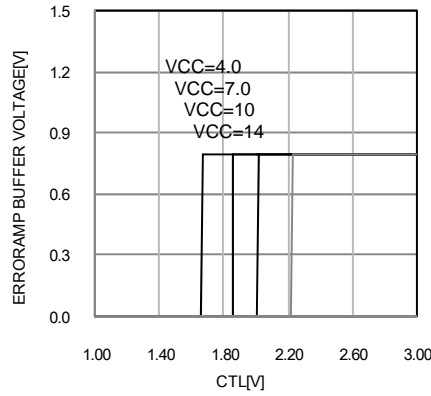


Fig.30. CTL ON threshold (VCC=4V,7V,10V,14V)

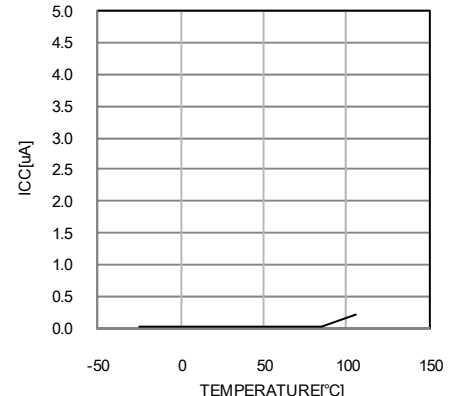


Fig.31. ICC(STB) – Temp

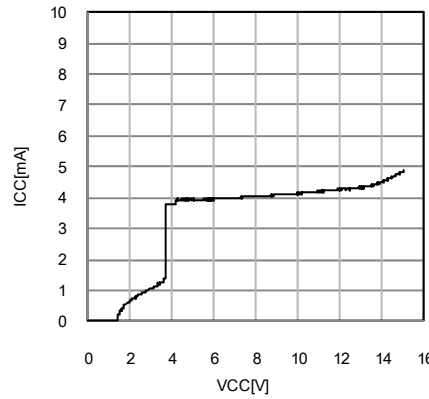


Fig.32. ICC(SCP state) – VCC

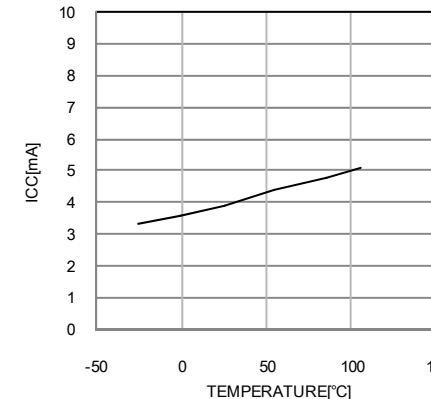


Fig.33. ICC(SCP state) – Temp

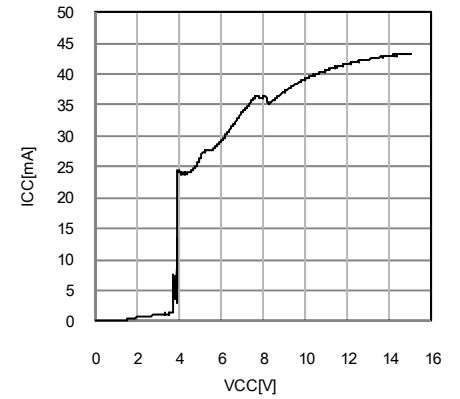


Fig.34. ICC(ALL Ch output) – VCC

●参考データ (特に指定がない限り、VCC=6V、CTL1~4="H"、Ta=25deg)

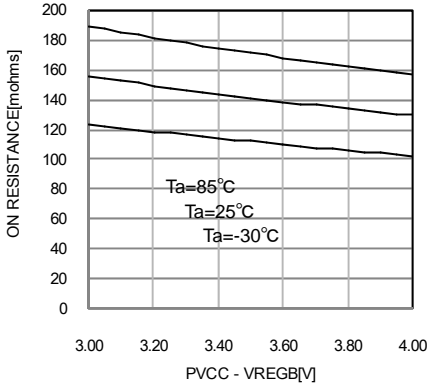


Fig.35. LX1,2 High side FET RON (Ta=-30°C、25°C、85°C)

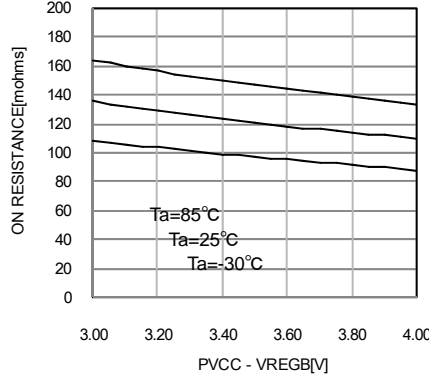


Fig.36. LX31 High side FET RON (Ta=-30°C、25°C、85°C)

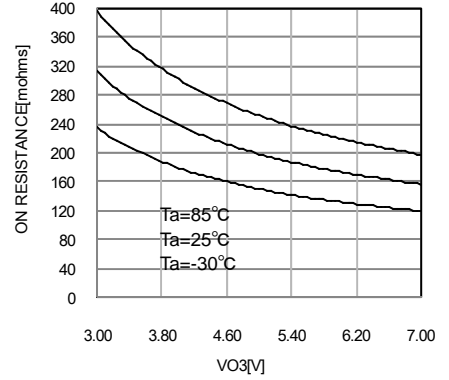


Fig.37. LX32 High side FET RON (Ta=-30°C、25°C、85°C)

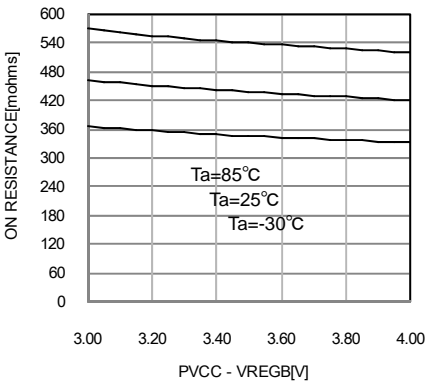


Fig.38. LX4 High side FET RON (Ta=-30°C、25°C、85°C)

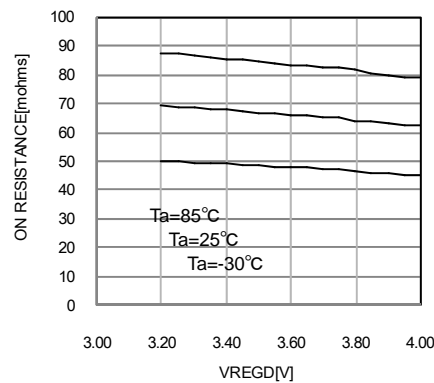


Fig.39. LX1,2 Low side FET RON (Ta=-30°C、25°C、85°C)

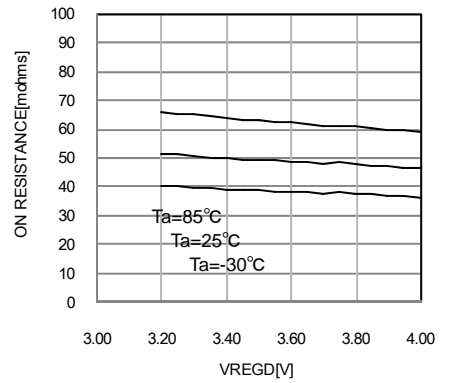


Fig.40. LX31 Low side FET RON (Ta=-30°C、25°C、85°C)

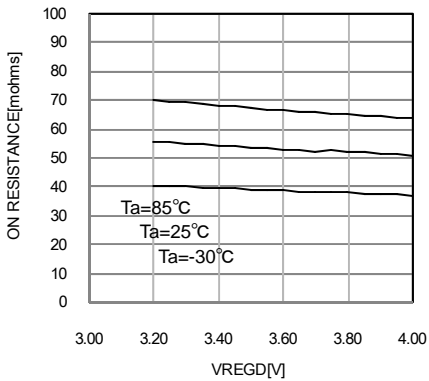


Fig.41. LX32 Low side FET RON (Ta=-30°C、25°C、85°C)

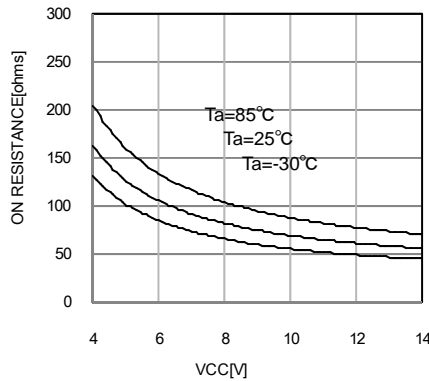


Fig.42. LX1,2,VO3 discharge SW RON (Ta=-30°C、25°C、85°C)

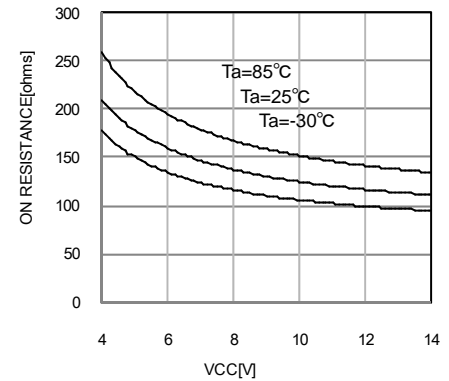


Fig.43. VREF4 discharge SW RON (Ta=-30°C、25°C、85°C)

●参考データ(特に指定がない限り、VCC=6V、CTL1~4="H",Ta=25deg)

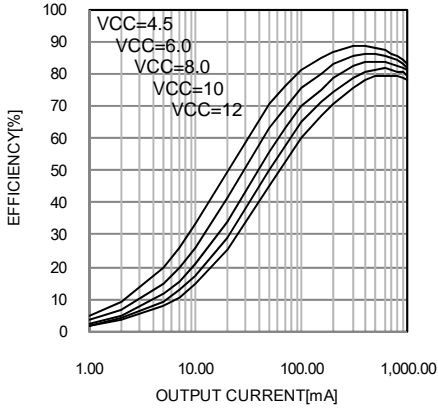


Fig.44. Efficiency – Output current  
CH1 Output voltage=1.8V  
(VCC=4.5V,6.0V,8.0V,10V,12V)

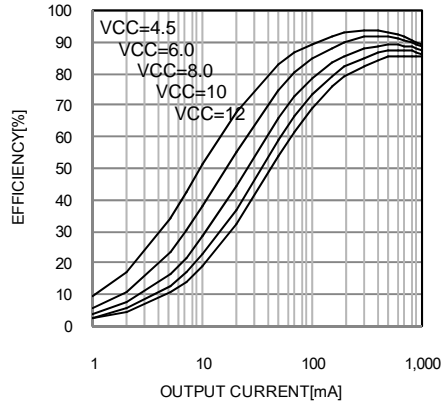


Fig.45. Efficiency – Output current  
CH2 Output voltage=3.3V  
(VCC=4.5V,6.0V,8.0V,10V,12V)

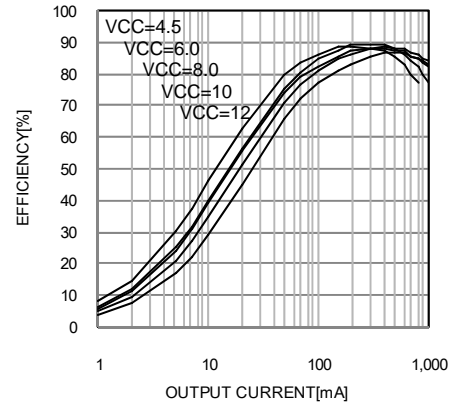


Fig.46. Efficiency – Output current  
CH3 Output voltage=5.0V  
(VCC=4.5V,6.0V,8.0V,10V,12V)

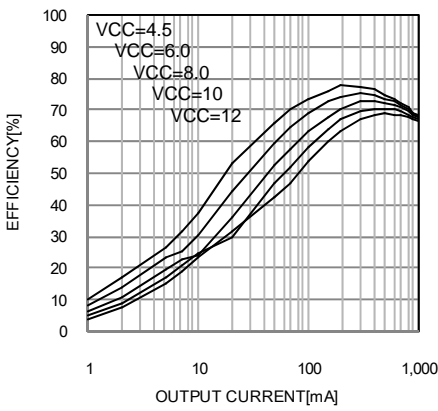


Fig.47. Efficiency – Output current  
CH4 Output voltage=1.2V  
(VCC=4.5V,6.0V,8.0V,10V,12V)

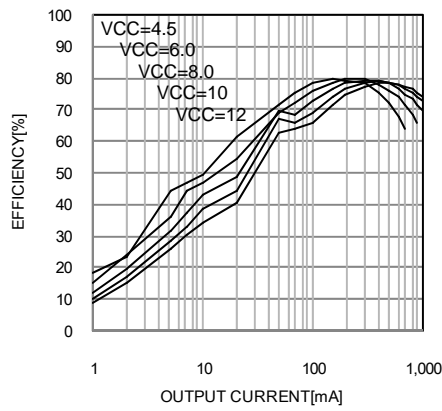


Fig.48. Efficiency – Output current  
CH4 Output voltage=-3.0V  
(VCC=4.5V,6.0V,8.0V,10V,12V)

● タイミングチャート

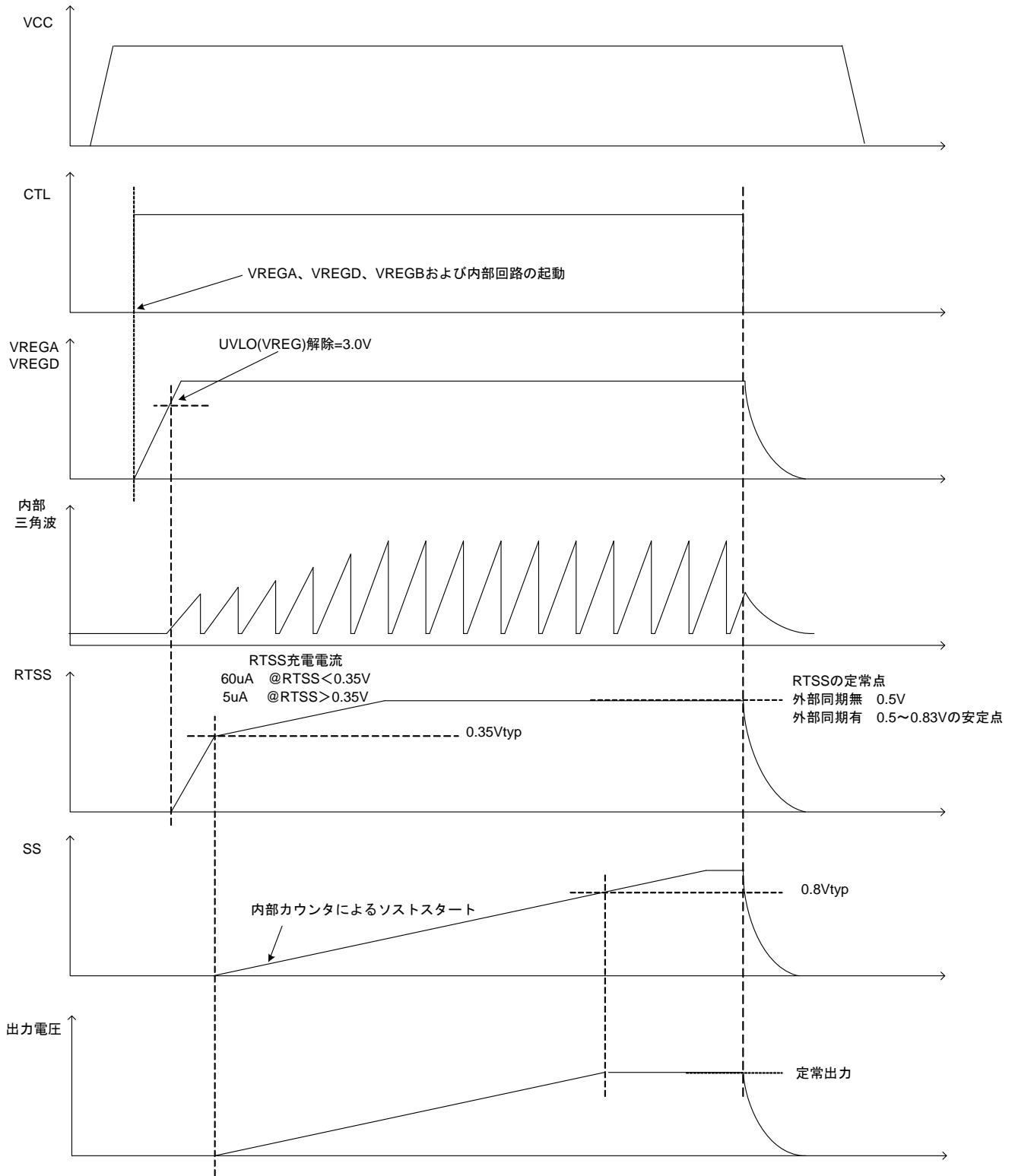


Fig.49. 起動シーケンス

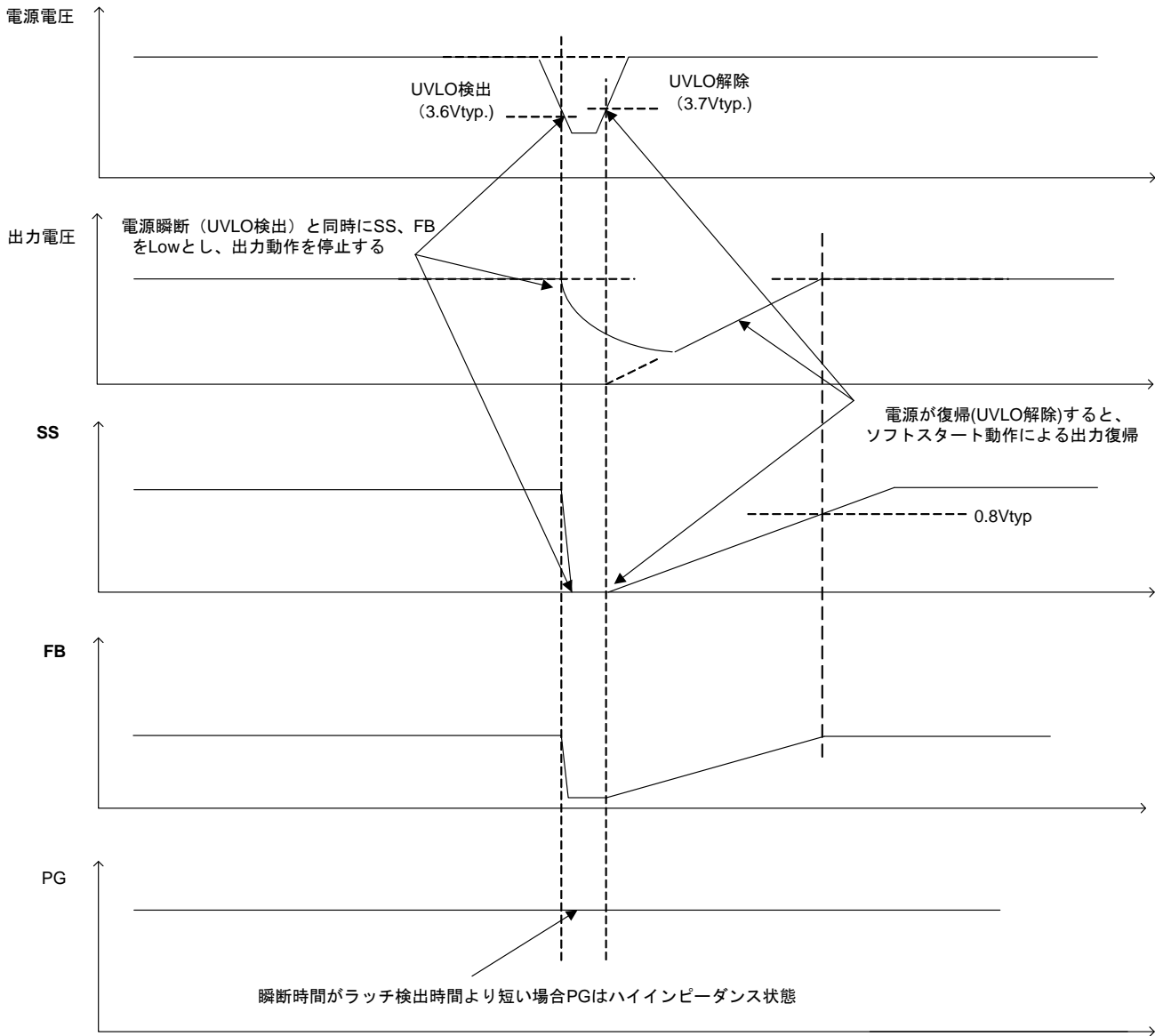


Fig.50. 電源瞬断時(UVLO 検出、解除後にソフトスタートによる再起動)

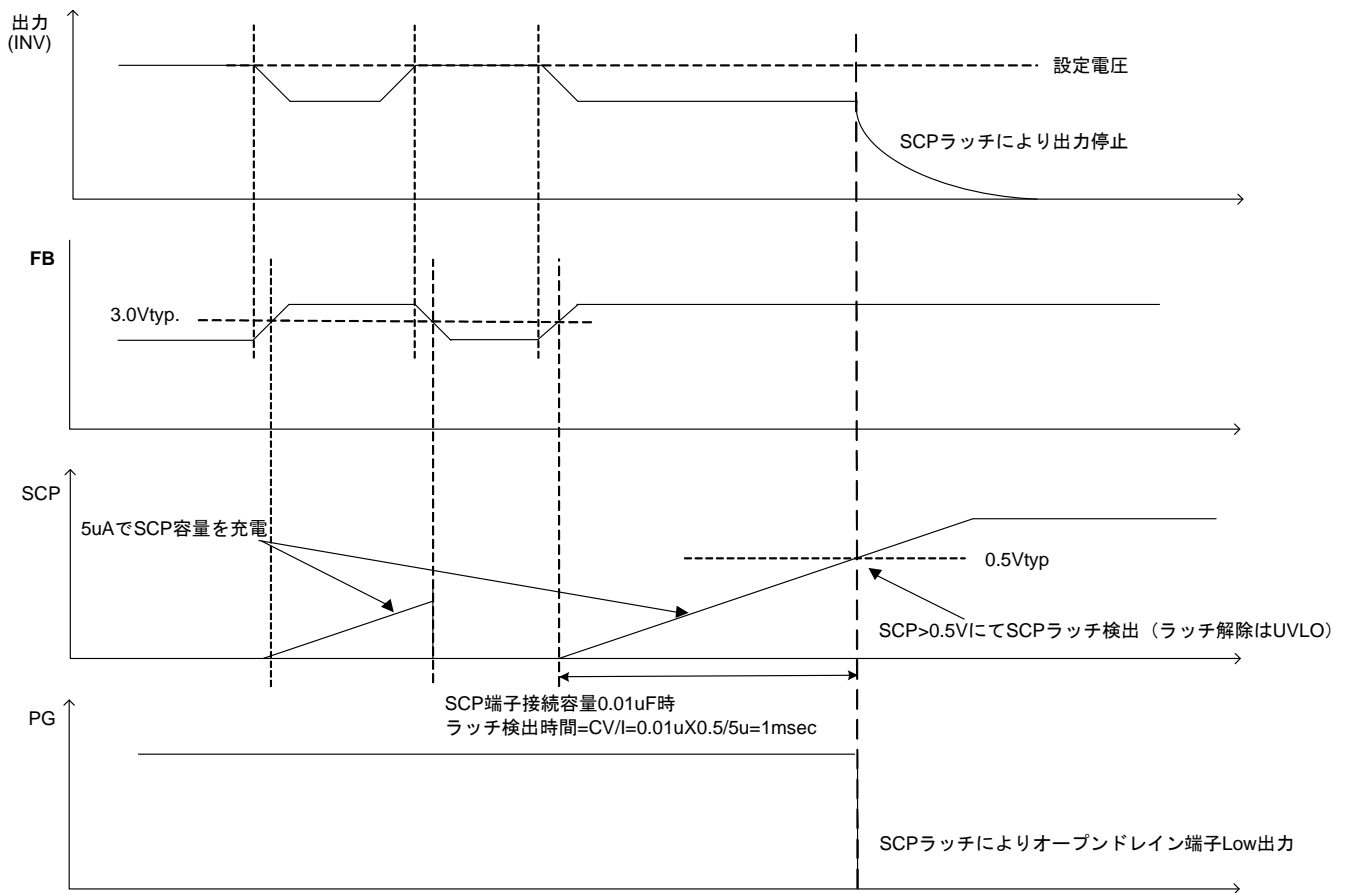


Fig.51 起動後 SCP (出力中の電圧異常)

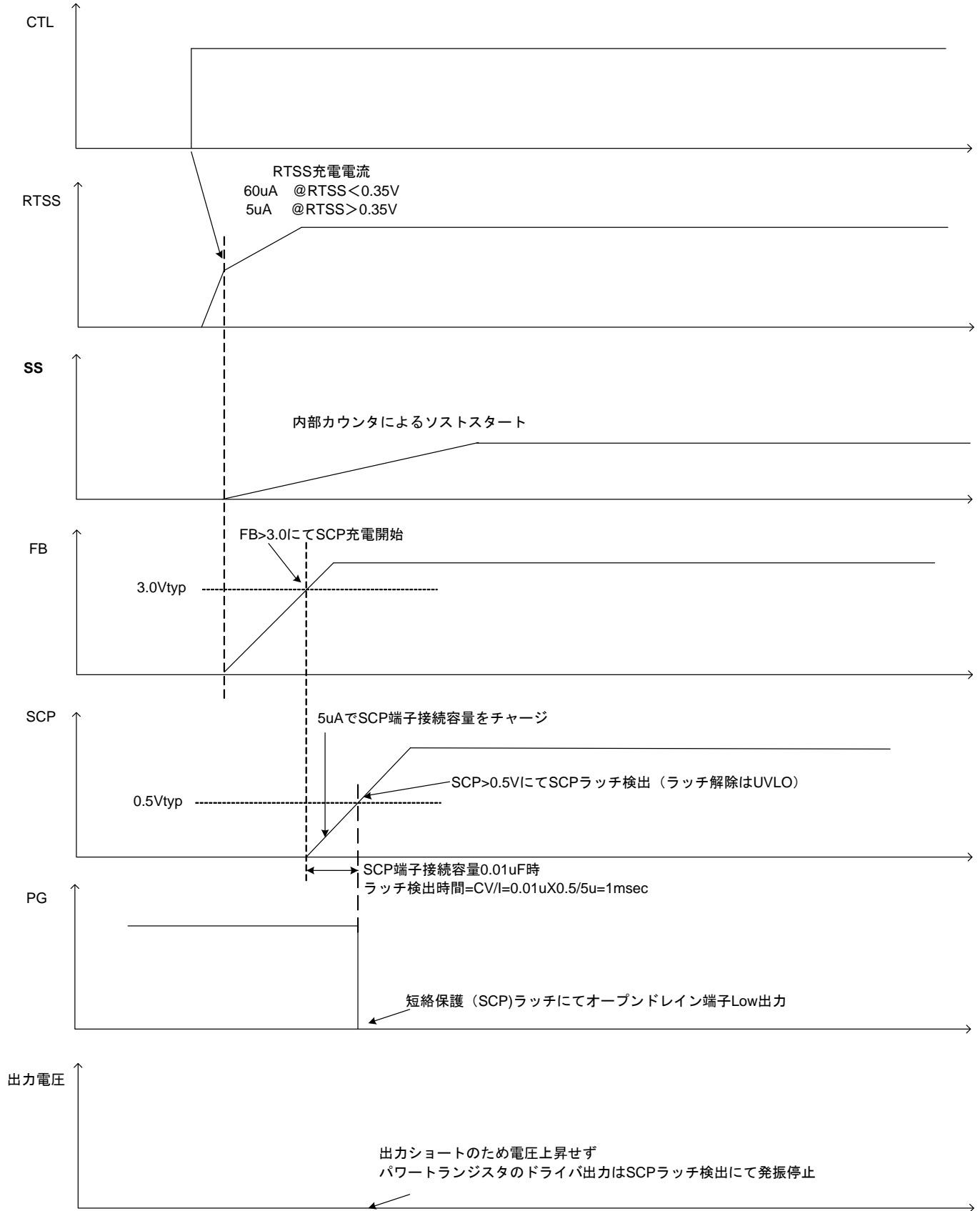


Fig.52 起動時 SCP (出力短絡状態での起動)



### ●基板レイアウト上の注意点

- ・入力コンデンサ(バイパスコンデンサ: Cin\_bp)は PVCC、PGND へ最短で接続してください。  
→電流のループを最小にし、寄生インピーダンスを下げるのが目的です。基本的にスイッチング電流は電源 Vin(Cin)から供給しますが、入力コンデンサ内や基板配線などの寄生インピーダンスや寄生インダクタンスが存在するため、急峻な電流変化については、直近に配置したパスコンから Ip のようなループで電流を供給するためです。入力コンデンサの構成としては、Cin に相当する箇所には大きな電界コンデンサ、パスコンに相当する箇所にはセラミックコンデンサを配置するのが望ましいと考えられます。

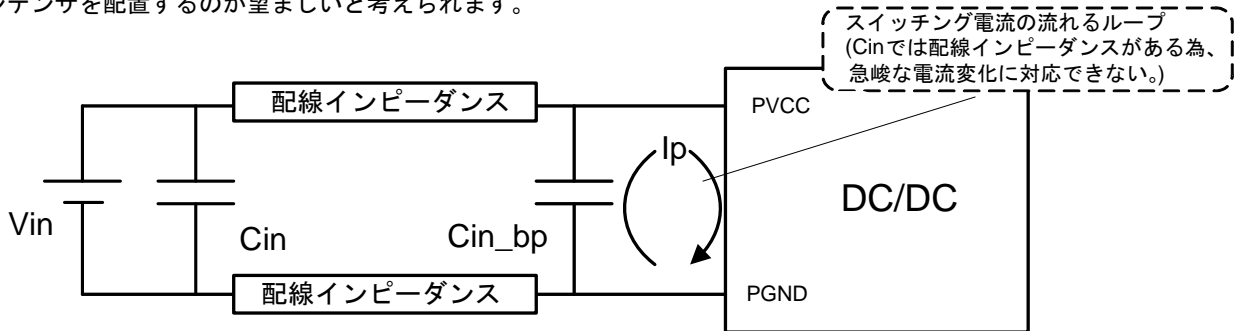
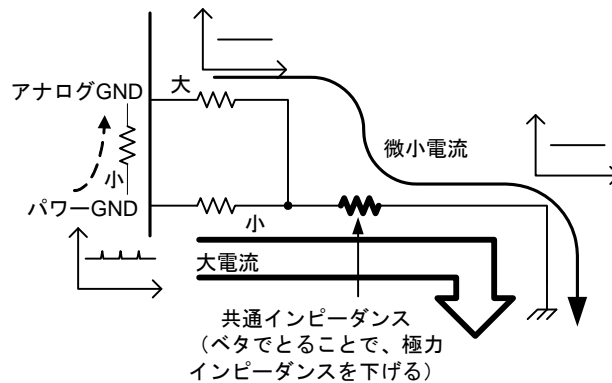


Fig.53 入力コンデンサの役割

- ・GND,PGND はできるだけ太く短い配線としてください。  
→本 IC では、内部のサブコンタクトを GND および PGND でおこなっています。そのため、GND と PGND を分けて 1 点 GND をとって、内部では GND-PGND がサブコンタクトを介して接続されており、外で接続されているインピーダンスより内部のインピーダンスが低い場合、PGND に流れる電流は内部の GND に向かって流れてしまいます。この場合、内部のバンドギャップや周波数を決めているオシレータブロックに影響を及ぼす可能性があります。つまり、内部のGNDまでのインピーダンスよりも外部のPGNDのインピーダンスを下げる必要がありますので、GND、PGND は太く短い配線としてください。(GND は電流が少ないラインなので、PGND に比べ多少インピーダンスがあっても問題ありません。)



内部PGNDから内部GNDまでのインピーダンスよりPGNDから接地点までのインピーダンスを下げることにより、内部GNDへの電流が減ります。  
アナログGNDから外部PGNDまでのインピーダンスを高くすることで、さらに内部GNDへの電流が減る方向になります。

Fig.54 共通インピーダンスの影響

- ・帰還端子(INV1~4,NON4)に電源ノイズなどが干渉すると出力電圧が発振する恐れがあります。  
→電源ノイズの干渉を避けるため、帰還抵抗-帰還端子間はできるだけ短く配線を行ってください。
- ・VCC および PVCC 端子が絶対最大定格を超えないよう使用してください。  
→入力コンデンサの位置によってはパターンの L 成分により、リングングを引き起こし、定格を超えてしまう場合がございます。参考例といたしまして、プリントパターンの厚みが 35um、パターン幅が 1.0mm の場合、IC からコンデンサまでの長さは 5.0mm 以下で配置してください。

- 基板レイアウト例  
ROHM 実装評価基盤(70mm X 70mm)

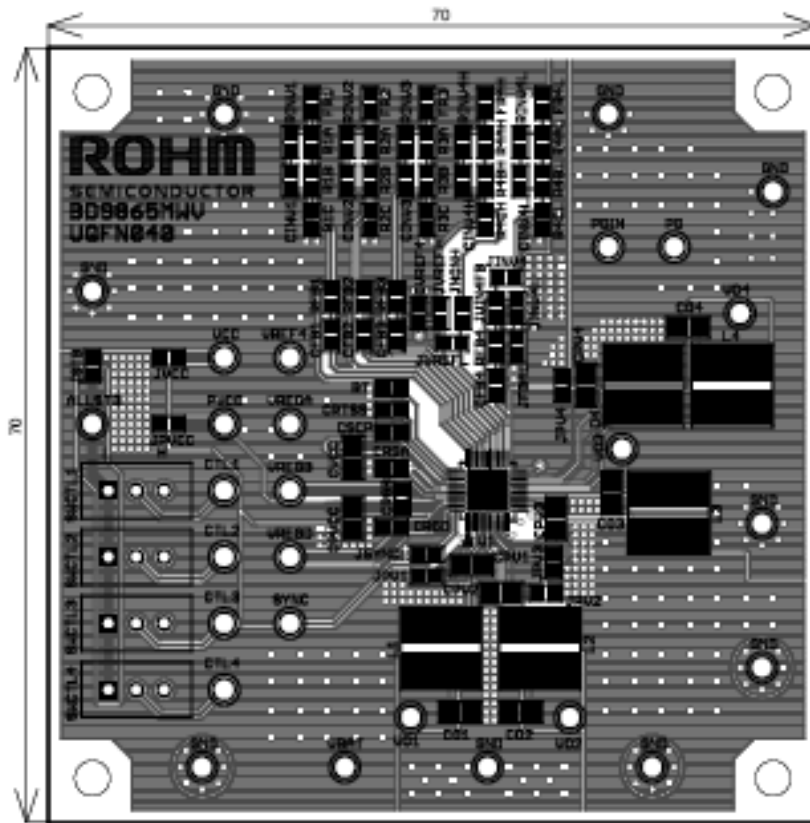


Fig.55 TOP Layer

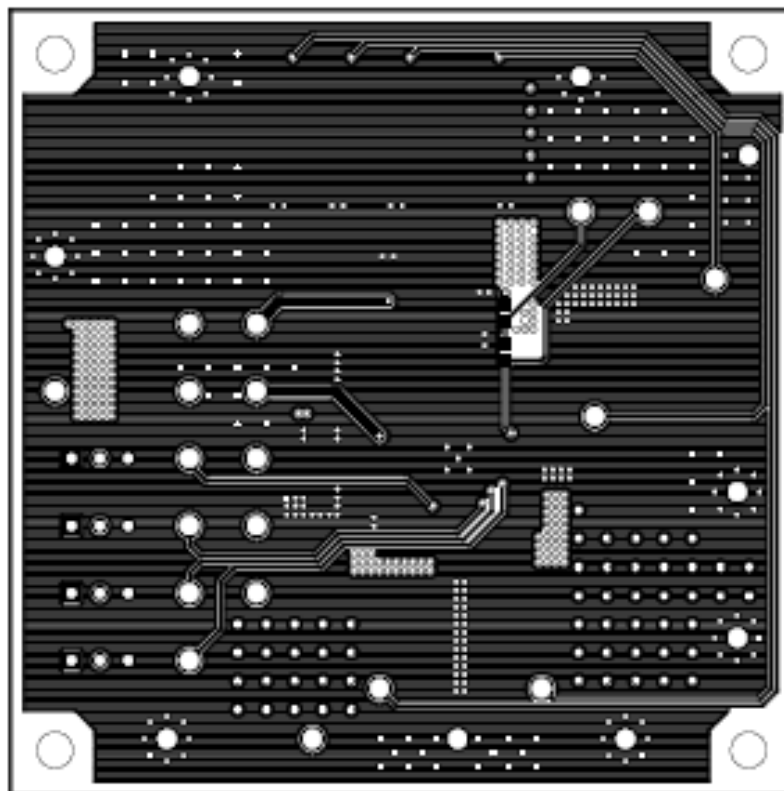


Fig.56 BOTTOM Layer

●熱輕減特性

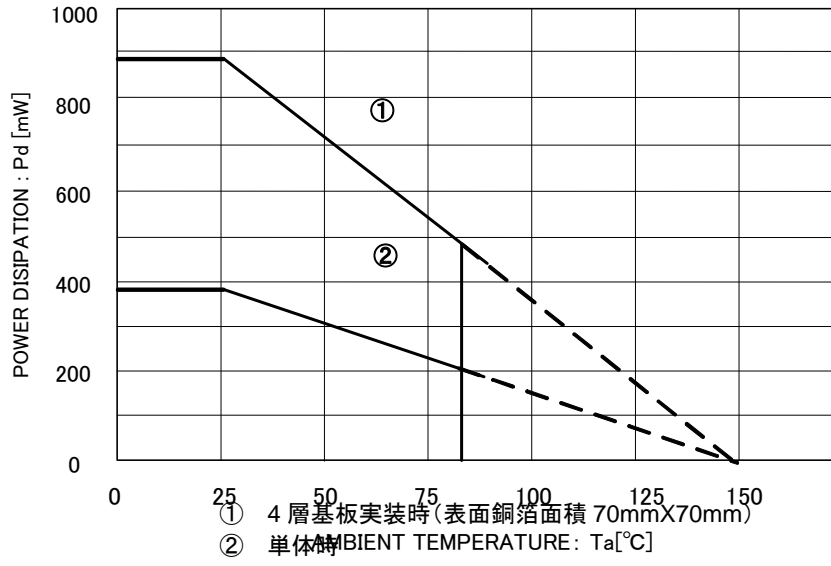


Fig.57 熱輕減特性

●出力等価回路図

Pin.No	端子名	端子等価回路図	Pin.No	端子名	端子等価回路図
34 36 38 17	VCC GND PVCC PGND		1 9 10 11	CTL1 CTL2 CTL3 CTL4	
30 28 26 22 23	INV1 INV2 INV3 INV4 NON4		29 27 25 21	FB1 FB2 FB3 FB4	
40	SYNC		33	SCP	
24	VREF4		20	PG	

Pin.No	端子名	端子等価回路図	Pin.No	端子名	端子等価回路図
32	RTSS		31	RT	
35 39	VREGA VREGD	<p>※VREGDではPVCC</p>	37	VREGB	
2 7 37 3 6 4 5	PVCC1 PVCC2 VREGB LX1 LX2 PGND12 PGND12		8 37 12 13 14	PVCC3 VREGB LX31 PGND34 PGND34	
19 37 18 14 13	PVCC4 VREGB LX4 PGND34 PGND34		16 15 14 13	VO3 LX32 PGND34 PGND34	

## ●使用上の注意

## 1.) 絶対最大定格について

本製品におきましては品質管理には十分注意を払っておりますが、印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は劣化または破壊に至る可能性があります。またショートモードもしくはオープンモード等破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズ等物理的な安全対策を施して頂けるようご検討をお願いします。

## 2.) GND 電位について

GND ピンの電位はいかなる動作状態においても、最低電位になるようにしてください。

## 3.) 熱設計について

実際の使用状態での許容損失(Pd)を考え、十分マージンを持った熱設計を行ってください。

## 4.) ピン間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けした場合、IC が破壊する恐れがあります。また出力間や出力と電源 GND 間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

## 5.) 強電磁界中の動作について

強電磁界中でのご使用では、誤動作をする可能性がありますのでご注意ください。

## 6.) 共通インピーダンスについて

電源及び GND の配線は、共通のインピーダンスを下げる、リップルをできるだけ小さくする(配線をできるだけ太く短くする、L.C によりリップルを落とす)等、十分な配慮を行ってください。

## 7.) 温度保護回路(TSD 回路)

本 IC は温度保護回路(TSD 回路)を内蔵しています。温度保護回路(TSD 回路)はあくまでも熱的暴走から IC を遮断することを目的とした回路であり、IC の保護及び保証を目的としておりません。よって、この回路を動作させて以降の連続使用及び動作を前提とした使用はしないでください。

## 8.) 電源投入時のラッシュカレントについて

CMOS IC、複数電源を持つ IC では電源投入時に、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や、電源、GND パターン配線の幅、引き回しに注意してください。

## 9.) IC 端子入力について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接続が形成され、各種の寄生素子が構成されます。

例えば図.59 のように抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND > (端子 A) の時、トランジスタ(NPN)では GND > (端子 B) の時、

P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、GND > (端子 B) の時、

前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。

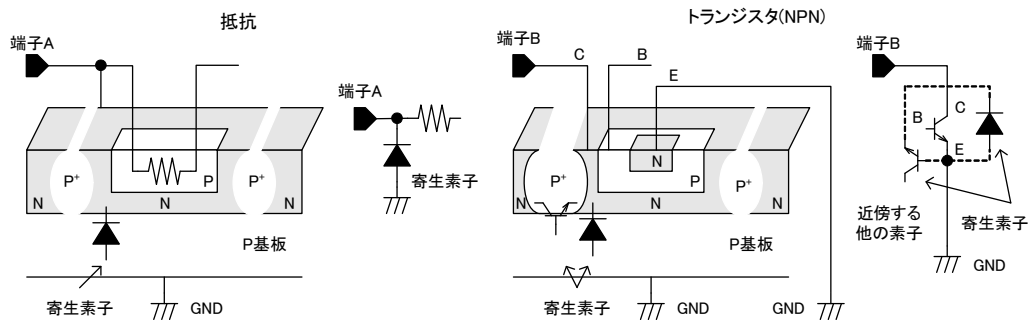


Fig.58 イポーラ IC の簡易構造例

●発注形名セレクション

B	D
---	---

ローム形名

9	8	6	5
---	---	---	---

品番

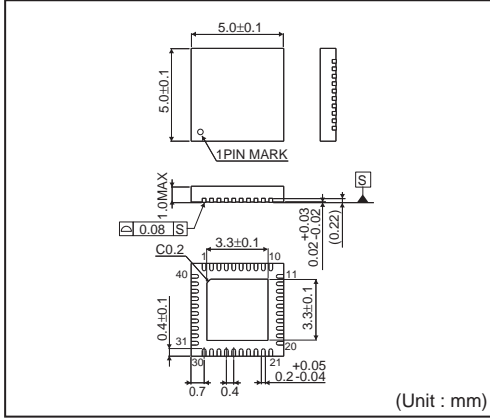
M	W	V
---	---	---

パッケージ  
MWV: UQFN040V5050

E	2
---	---

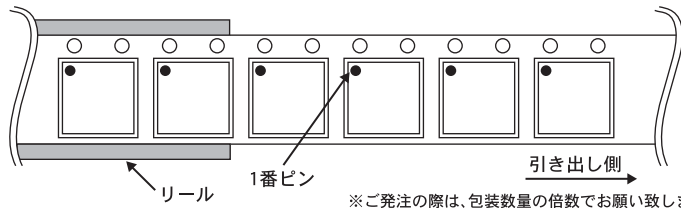
包装、フォーミング仕様  
E2: リール状エンボステーピング

UQFN040V5050



<包装仕様>

包装形態	エンボステーピング
包装数量	2500pcs
包装方向	E2 ( リールを左手に持ち、右手でテープを引き出したときに ) 製品の1番ピンが左上にくる方向



※ご発注の際は、包装数量の倍数でお願い致します。

## ご 注 意

- 1) 本資料の記載内容は改良などのため予告なく変更することがあります。
- 2) 本資料に記載されている内容は製品のご紹介資料です。ご使用に際しては、別途最新の仕様書を必ずご請求のうえ、ご確認ください。
- 3) ロームは常に品質・信頼性の向上に取り組んでおりますが、半導体製品は種々の要因で故障・誤作動する可能性があります。  
万が一、本製品が故障・誤作動した場合であっても、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、バックアップ、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もロームは負うものではありません。
- 4) 本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。  
したがって、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。
- 5) 本資料に記載されております技術情報は、製品の代表的動作および応用回路例などを示したものであり、ロームまたは他社の知的財産権その他のあらゆる権利について明示的にも黙示的にも、その実施または利用を許諾するものではありません。上記技術情報の使用に起因して紛争が発生した場合、ロームはその責任を負うものではありません。
- 6) 本製品は、一般的な電子機器（AV機器、OA機器、通信機器、家電製品、アミューズメント機器など）および本資料に明示した用途への使用を意図しています。
- 7) 本資料に掲載されております製品は、耐放射線設計はなされておられません。
- 8) 本製品を下記のような特に高い信頼性が要求される機器等に使用される際には、ロームへ必ずご連絡の上、承諾を得てください。  
・輸送機器（車載、船舶、鉄道など）、幹線用通信機器、交通信号機器、防災・防犯装置、安全確保のための装置、医療機器、サーバー、太陽電池、送電システム
- 9) 本製品を極めて高い信頼性を要求される下記のような機器等には、使用しないでください。  
・航空宇宙機器、原子力制御機器、海底中継機器
- 10) 本資料の記載に従わないために生じたいかなる事故、損害もロームはその責任を負うものではありません。
- 11) 本資料に記載されております情報は、正確を期すため慎重に作成したのですが、万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ロームはその責任を負うものではありません。
- 12) 本製品のご使用に際しては、RoHS 指令など適用される環境関連法令を遵守の上でご使用ください。お客様がかかる法令を順守しないことにより生じた損害に関して、ロームは一切の責任を負いません。本製品の RoHS 適合性などの詳細につきましては、セールス・オフィスまでお問合せください。
- 13) 本製品および本資料に記載の技術を輸出又は国外へ提供する際には、「外国為替及び外国貿易法」、「米国輸出管理規則」など適用される輸出関連法令を遵守し、それらの定めにしたがって必要な手続を行ってください。
- 14) 本資料の一部または全部をロームの許可なく、転載・複写することを堅くお断りします。



ローム製品のご検討ありがとうございます。  
より詳しい資料やカタログなどご用意しておりますので、お問合せください。

## ROHM Customer Support System

<http://www.rohm.co.jp/contact/>